

# BEST AVAILABLE COPY

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-243654

(43)Date of publication of application : 29.08.2003

(51)Int.Cl.

H01L 29/78

(21)Application number : 2002-122215

(71)Applicant : NISSAN MOTOR CO LTD  
NATIONAL INSTITUTE OF  
ADVANCED INDUSTRIAL &  
TECHNOLOGY

(22)Date of filing : 24.04.2002

(72)Inventor : TANIMOTO SATOSHI  
OGUSHI HIDEYO

(30)Priority

Priority number : 2001377397 Priority date : 11.12.2001 Priority country : JP

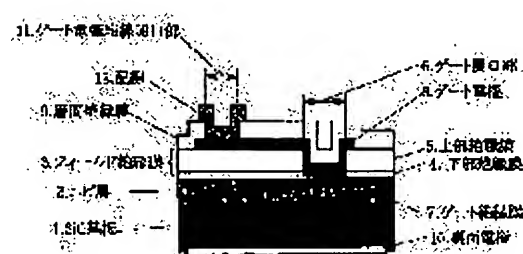
### (54) SILICON CARBIDE SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem of degradation in gate insulating film and MOS interface properties, attributable to rapid heating to a high temperature for the formation of metal contacts in contact with single crystal silicon carbide, without causing an increase in ohmic contact resistance.

SOLUTION: The method for manufacturing the silicon carbide semiconductor device comprises a first process wherein electrodes other than a gate electrode 8 contact with a single crystal silicon carbide substrate 1, a gate insulating film 7 is completely surrounded by a single crystal silicon carbide substrate (epitaxial layer 2), by a field insulating film 3, (corresponding to the neighborhood of insulating films 205, 206 and a gate

(図1)



insulating film 203, Fig. 17, formed by the thermal oxidation of a gate electrode 204), and by the gate electrode 8, and a second process wherein a metal electrode (rear side electrode 10) is provided by heat treatment at a temperature lower than the thermal oxidation temperature for the gate insulating film 7 but high enough to anneal the contact between the single crystal silicon carbide and the metal (900°C or higher, for example).

---

#### LEGAL STATUS

[Date of request for examination] 12.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3559971

[Date of registration] 04.06.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号  
特開2003-243654  
(P2003-243654A)

11. ゲート電極結線開口部

12. 配線

9. 層間絶縁膜

3. フィールド絶縁膜

2. エピ層

1. SiC基板

6. ゲート開口部

8. ゲート電極

5. 上部絶縁膜

4. 下部絶縁膜

7. ゲート絶縁膜

10. 裏面電極

## 【特許請求の範囲】

## 【請求項1】ゲート絶縁膜を、

前記ゲート絶縁膜と反応しない電極部材と、前記ゲート絶縁膜と反応しない絶縁膜と、単結晶炭化珪素基板とで被った後に、加熱処理を行ったことを特徴とする炭化珪素半導体装置。

## 【請求項2】ゲート絶縁膜を、

前記ゲート絶縁膜と反応しない電極部材と、前記ゲート絶縁膜と反応しないフィールド絶縁膜と、単結晶炭化珪素基板とで被った後に、加熱処理を行ったことを特徴とする炭化珪素半導体装置。

## 【請求項3】単結晶炭化珪素基板と、

前記基板表面に形成されたフィールド絶縁膜と、前記フィールド絶縁膜に開口したゲート開口部と、前記ゲート開口部の単結晶炭化珪素基板表面全体に熱酸化を含む方法で形成された、前記フィールド絶縁膜よりも薄いゲート絶縁膜と、前記ゲート開口部全体を被覆するように前記ゲート絶縁膜上に形成された、ゲート電極と、前記ゲート電極以外の電極で、前記単結晶炭化珪素基板とコンタクトされ、前記ゲート絶縁膜が前記単結晶炭化珪素基板と前記フィールド絶縁膜と前記ゲート電極とによって全周囲を囲まれた後に、前記ゲート絶縁膜を形成した熱酸化温度よりも低い温度であって、かつ、単結晶炭化珪素と金属とのコンタクト・アニールに十分な温度で加熱処理を施された金属電極と、を備えたことを特徴とする炭化珪素半導体装置。

【請求項4】前記炭化珪素半導体装置は、単結晶炭化珪素基板と、その一主面に形成された単結晶炭化珪素のエピタキシャル層と、その上に形成されたゲート絶縁膜と、その周囲に形成されたフィールド絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、それらの上に形成された層間絶縁膜と、層間絶縁膜に開けた開口部を介して前記ゲート電極に接続された金属配線と、前記単結晶炭化珪素基板の裏面に設けられた裏面電極と、を備えたゲート電極-ゲート絶縁膜-単結晶炭化珪素構造を有するMOSキャパシタであって、前記ゲート電極以外の金属電極は前記裏面電極に相当する請求項3に記載の炭化珪素半導体装置。

【請求項5】前記炭化珪素半導体装置は、単結晶炭化珪素基板と、その一主面に形成された単結晶炭化珪素の第1のエピタキシャル層と、前記第1のエピタキシャル層の表層部における所定領域に相互に離間して形成された二つのベース領域と、前記二つのベース領域の表層部の所定領域に設けられた二つのソース領域と、前記二つのソース領域にそれぞれ接続されたソース電極と、前記二つのソース領域の間で前記二つのベース領域上および前記第1のエピタキシャル層上に設けられた第2のエピタキシャル層と、前記第2のエピタキシャル層上および前記二つのソース領域上の所定領域に設けられたゲート絶

縁膜と、その周囲に形成されたフィールド絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、前記ゲート電極上および前記フィールド絶縁膜上に形成された層間絶縁膜と、前記層間絶縁膜上を覆い前記ソース電極に接続された金属配線と、前記単結晶炭化珪素基板の裏面に設けられたドレイン電極と、を備えたゲート電極-ゲート絶縁膜-単結晶炭化珪素構造を有するMOSFETであって、前記ゲート電極以外の金属電極は前記ソース電極および前記ドレイン電極に相当する請求項3に記載の炭化珪素半導体装置。

【請求項6】前記炭化珪素半導体装置は、単結晶炭化珪素基板と、その一主面に形成された単結晶炭化珪素の第1のエピタキシャル層と、前記第1のエピタキシャル層の表層部における所定領域に相互に離間して形成された二つのベース領域と、前記二つのベース領域の表層部の所定領域に設けられた二つのエミッタ領域と、前記二つのエミッタ領域にそれぞれ接続されたエミッタ電極と、前記二つのエミッタ領域の間で前記二つのベース領域上および前記第1のエピタキシャル層上に設けられた第2のエピタキシャル層と、前記第2のエピタキシャル層上および前記二つのエミッタ領域上の所定領域に設けられたゲート絶縁膜と、その周囲に形成されたフィールド絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、前記ゲート電極上および前記フィールド絶縁膜上に形成された層間絶縁膜と、前記層間絶縁膜上を覆い前記エミッタ電極に接続された金属配線と、前記単結晶炭化珪素基板の裏面に設けられたコレクタ電極と、を備えたゲート電極-ゲート絶縁膜-単結晶炭化珪素構造を有するIGBTであって、前記ゲート電極以外の金属電極は前記エミッタ電極および前記コレクタ電極に相当する請求項3に記載の炭化珪素半導体装置。

【請求項7】前記ゲート電極は、多結晶シリコンまたは多結晶シリコンをシリサイド化させたシリサイドからなることを特徴とする請求項1乃至請求項6の何れかに記載の炭化珪素半導体装置。

【請求項8】前記フィールド絶縁膜は、前記単結晶炭化珪素基板の熱酸化膜として形成した下部絶縁膜と、熱酸化以外の方法で形成した、前記下部絶縁膜よりも厚い上部絶縁膜との積層で構成されたことを特徴とする請求項3乃至請求項6の何れかに記載の炭化珪素半導体装置。

【請求項9】前記金属配線は、前記加熱処理が行われた後に形成されたことを特徴とする請求項4乃至請求項6の何れかに記載の炭化珪素半導体装置。

【請求項10】前記加熱処理は、数分以内に900℃以上に加熱する急速高温加熱処理であることを特徴とする請求項1乃至請求項3の何れかに記載の炭化珪素半導体装置。

【請求項11】前記加熱処理は、金属電極を単結晶炭化珪素へ接続するためのコンタクト・アニール処理であることを特徴とする請求項10に記載の炭化珪素半導体装

置。

【請求項12】単結晶炭化珪素基板表面にフィールド絶縁膜を形成する工程と、

前記フィールド絶縁膜にゲート開口部を形成する工程と、

少なくとも前記単結晶炭化珪素基板の熱酸化を含む方法で前記ゲート開口部の単結晶炭化珪素基板表面全体に、前記フィールド絶縁膜よりも薄いゲート絶縁膜を形成する工程と、

前記ゲート開口部全体を被覆するように前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記ゲート電極以外の電極で、前記単結晶炭化珪素基板とコンタクトされる金属電極を形成する工程と、

前記全工程の終了後に、前記ゲート絶縁膜を形成した熱酸化温度よりも低い温度であって、かつ、単結晶炭化珪素と金属とのコンタクト・アニールに十分な温度で加熱処理を行う工程と、

を備えたことを特徴とする炭化珪素半導体装置の製造方法。

【請求項13】前記ゲート絶縁膜が形成される以前の段階において、前記単結晶炭化珪素基板表面の汚染層および結晶欠陥層を除去する工程を有することを請求項12に記載の炭化珪素半導体装置の製造方法。

【請求項14】前記ゲート絶縁膜を形成する工程の直前に、フッ酸処理を含まない酸処理洗浄と、これに連続して緩衝フッ酸溶液または希フッ酸に5〜10秒間浸漬する酸処理を行う前処理工程を備えたことを特徴とする請求項12または請求項13に記載の炭化珪素半導体装置の製造方法。

【請求項15】前記加熱処理は、数分以内に900℃以上に加熱する急速高温加熱処理であり、かつ、前記ゲート絶縁膜を形成した熱酸化温度を越えない温度で行うことを特徴とする請求項12乃至請求項14の何れかに記載の炭化珪素半導体装置の製造方法。

【請求項16】前記加熱処理は、金属電極を前記単結晶炭化珪素基板へ接続するためのコンタクト・アニール処理であることを特徴とする請求項12乃至請求項15の何れかに記載の炭化珪素半導体装置の製造方法。

【請求項17】前記加熱処理は、前記フィールド絶縁膜、前記ゲート絶縁膜および前記ゲート電極の形成後であって、かつ、前記ゲート電極およびその他の電極を外部へ接続するための金属配線を形成する前に、行われることを特徴とする請求項12乃至請求項16の何れかに記載の炭化珪素半導体装置の製造方法。

【請求項18】ホモエピタキシャル成長層を有する単結晶炭化珪素基板表面を酸処理で洗浄する工程と、洗浄した前記単結晶炭化珪素基板の表面を一旦熱酸化し、直後に、熱酸化膜をフッ酸系エッチャントで除去するいわゆる犠牲酸化工程と、

犠牲酸化工程で形成した清浄・低欠陥表面に熱酸化およ

びその他の方法を用いてフィールド絶縁膜を形成する工程と、

フォトリソグラフィと弗酸系エッチャントを用いて前記フィールド絶縁膜に所定のゲート開口部を形成する工程と、

前工程で使用したフォトレジストの溶解液で汚染した基板表面を酸処理で清浄化表面に回復する工程と、

前記ゲート開口部に熱酸化によってゲート絶縁膜を形成する工程と、

10 前記ゲート絶縁膜を形成した基板全面に導電性不純物を添加した多結晶シリコン膜を成膜する工程と、

フォトリソグラフィで前記多結晶シリコン膜を所定のパターンにエッチングしてゲート電極とする工程と、

前工程で使用したエッチングマスクを除き、基板表面を酸処理で清浄にする工程と、

清浄になった基板表面全面に層間絶縁膜を形成する工程と、

20 酸処理および超純水洗浄によって清浄面を露出させた前記単結晶炭化珪素基板の裏面に裏面電極材料を蒸着する工程と、

前記ゲート絶縁膜を形成した熱酸化温度よりも低い温度であって、かつ、単結晶炭化珪素と金属とのコンタクト・アニールに十分な温度で加熱処理し、裏面電極のコンタクト・アニールを行う工程と、

前記層間絶縁膜の所定の位置にゲート電極に貫通するゲート電極開口部を開く工程と、

前記ゲート電極開口部を開口した層間絶縁膜上部に、前記ゲート電極開口部を介して前記ゲート電極と結線する金属配線を形成する工程と、

30 を備え、前記裏面電極のコンタクト・アニールを行う工程は、前記フィールド絶縁膜、前記ゲート絶縁膜および前記ゲート電極を形成する工程の後であって、かつ、前記金属配線を形成する工程の前に行われることを特徴とする炭化珪素半導体装置の製造方法。

【請求項19】ゲート絶縁膜を、前記ゲート絶縁膜と反応しないゲート電極と、前記ゲート電極部材の一部を熱酸化して形成した絶縁膜と、単結晶炭化珪素基板と、前記単結晶炭化珪素基板を熱酸化して形成した絶縁膜とで被った後に、加熱処理を行ったことを特徴とする炭化珪素半導体装置。

40 【請求項20】単結晶炭化珪素基板と、前記単結晶炭化珪素基板表面に熱酸化を含む方法で形成した絶縁膜と、前記絶縁膜のうちゲート絶縁膜となる部分の上に形成したゲート電極と、前記ゲート電極部材の一部を熱酸化して形成したゲート電極側面絶縁膜と、前記ゲート電極以外の電極で、前記単結晶炭化珪素基板とコンタクトされ、前記ゲート絶縁膜が前記単結晶炭化珪素基板と前記単結晶炭化珪素基板上に形成した絶縁膜

50

と前記ゲート電極と前記ゲート電極側面絶縁膜とによって全周囲を囲まれた後に、前記ゲート絶縁膜を形成した熱酸化温度よりも低い温度であって、かつ、単結晶炭化珪素と金属とのコンタクト・アニールに十分な温度で加熱処理を施した金属電極と、を備えたことを特徴とする炭化珪素半導体装置。

【請求項21】前記炭化珪素半導体装置は、単結晶炭化珪素基板と、その一主面に形成した単結晶炭化珪素のエピタキシャル層と、その上面に形成した絶縁膜と、前記絶縁膜のうちゲート絶縁膜となる部分の上に形成したゲート電極と、前記ゲート電極部材の一部を熱酸化して形成したゲート電極側面絶縁膜と、それらの上に形成した層間絶縁膜と、前記層間絶縁膜に開けた開口部を介して前記ゲート電極に接続した金属配線と、前記単結晶炭化珪素基板の裏面に設けた裏面電極と、を備えたゲート電極-ゲート絶縁膜-単結晶炭化珪素構造を有するMOSキャパシタであって、前記ゲート電極以外の金属電極は前記裏面電極に相当する請求項20に記載の炭化珪素半導体装置。

【請求項22】前記炭化珪素半導体装置は、単結晶炭化珪素基板と、その一主面に形成した単結晶炭化珪素の第1のエピタキシャル層と、前記第1のエピタキシャル層の表層部における所定領域に相互に離間して形成した二つのベース領域と、前記二つのベース領域の表層部の所定領域に設けた二つのソース領域と、前記二つのソース領域にそれぞれ接続したソース電極と、前記二つのソース領域の間で前記二つのベース領域上および前記第1のエピタキシャル層上に設けた第2のエピタキシャル層と、前記第2のエピタキシャル層上および前記二つのソース領域上の所定領域に設けたゲート絶縁膜と、前記ゲート絶縁膜上に設けたゲート電極と、前記ゲート電極部材の一部を熱酸化して形成したゲート電極側面絶縁膜と、それらの上に形成した層間絶縁膜と、前記層間絶縁膜上を覆い前記ソース電極に接続した金属配線と、前記単結晶炭化珪素基板の裏面に設けたドレイン電極と、を備えたゲート電極-ゲート絶縁膜-単結晶炭化珪素構造を有するMOSFETであって、前記ゲート電極以外の金属電極は前記ソース電極および前記ドレイン電極に相当する請求項20に記載の炭化珪素半導体装置。

【請求項23】前記炭化珪素半導体装置は、単結晶炭化珪素基板と、その一主面に形成された単結晶炭化珪素の第1のエピタキシャル層と、前記第1のエピタキシャル層の表層部における所定領域に相互に離間して形成された二つのベース領域と、前記二つのベース領域の表層部の所定領域に設けられた二つのエミッタ領域と、前記二つのエミッタ領域にそれぞれ接続されたエミッタ電極と、前記二つのエミッタ領域の間で前記二つのベース領域上および前記第1のエピタキシャル層上に設けられた第2のエピタキシャル層と、前記第2のエピタキシャル層上および前記二つのエミッタ領域上の所定領域に設け

られたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、前記ゲート電極部材の一部を熱酸化して形成したゲート電極側面絶縁膜と、それらの上に形成した層間絶縁膜と、前記層間絶縁膜上を覆い前記エミッタ電極に接続された金属配線と、前記単結晶炭化珪素基板の裏面に設けられたコレクタ電極と、を備えたゲート電極-ゲート絶縁膜-単結晶炭化珪素構造を有するIGBTであって、前記ゲート電極以外の金属電極は前記エミッタ電極および前記コレクタ電極に相当する請求項20に記載の炭化珪素半導体装置。

【請求項24】単結晶炭化珪素基板表面を所定温度で熱酸化して絶縁膜を形成する工程と、前記絶縁膜のうちゲート絶縁膜となる領域上にゲート電極を形成する工程と、前記ゲート電極部材を熱酸化して、その側面にゲート電極側面絶縁膜を形成する工程と、前記ゲート電極と前記絶縁膜の上に層間絶縁膜を形成する工程と、前記単結晶炭化珪素基板の裏面に金属電極材料を付着させる工程と、前記ゲート絶縁膜が、前記単結晶炭化珪素基板と前記単結晶炭化珪素基板上に形成した絶縁膜と前記ゲート電極と前記ゲート電極側面絶縁膜とによって全周囲を囲まれた後に、前記単結晶炭化珪素基板表面を熱酸化した所定温度よりも低い温度であって、かつ、単結晶炭化珪素と金属とのコンタクト・アニールに十分な温度で加熱処理を行って裏面電極を形成する工程と、を備えたことを特徴とする炭化珪素半導体装置の製造方法。

【請求項25】単結晶炭化珪素基板表面を所定温度で熱酸化して絶縁膜を形成する工程と、前記絶縁膜のうちゲート絶縁膜となる領域上にゲート電極を形成する工程と、前記ゲート電極上面に一過性の窒化シリコン膜を形成する工程と、前記ゲート電極部材を熱酸化して、その側面にゲート電極側面絶縁膜を形成する工程と、前記一過性の窒化シリコン膜を除去する工程と、前記ゲート電極と前記絶縁膜の上に層間絶縁膜を形成する工程と、前記単結晶炭化珪素基板の裏面に金属電極材料を付着させる工程と、前記ゲート絶縁膜が、前記単結晶炭化珪素基板と前記単結晶炭化珪素基板上に形成した絶縁膜と前記ゲート電極と前記ゲート電極側面絶縁膜とによって全周囲を囲まれた後に、前記単結晶炭化珪素基板表面を熱酸化した所定温度よりも低い温度であって、かつ、単結晶炭化珪素と金属とのコンタクト・アニールに十分な温度で加熱処理を行って裏面電極を形成する工程と、を備えたことを特徴とする炭化珪素半導体装置の製造方

法。

【請求項26】単結晶炭化珪素基板と、  
前記単結晶炭化珪素基板表面に熱酸化を含む方法で形成したフィールド絶縁膜と、  
前記フィールド絶縁膜に開けた開口部の前記単結晶炭化珪素基板表面に形成され、かつ、形成時もしくは形成後に熱処理された絶縁膜と、  
前記絶縁膜のうちゲート絶縁膜となる部分の上に形成したゲート電極と、  
前記ゲート電極部材の一部を熱酸化して形成したゲート電極側面絶縁膜と、  
前記ゲート電極以外の電極で、前記単結晶炭化珪素基板とコンタクトされ、前記ゲート絶縁膜が前記単結晶炭化珪素基板と前記フィールド絶縁膜と前記熱処理された絶縁膜と前記ゲート電極と前記ゲート電極側面絶縁膜とによって全周囲を囲まれた後に、前記絶縁膜の熱処理温度よりも低い温度であって、かつ、単結晶炭化珪素と金属とのコンタクト・アニールに十分な温度で加熱処理を施した金属電極と、  
を備えたことを特徴とする炭化珪素半導体装置。

【請求項27】前記炭化珪素半導体装置は、単結晶炭化珪素基板と、その一主面に形成した単結晶炭化珪素のエピタキシャル層と、その上面に形成したフィールド絶縁膜と、前記フィールド絶縁膜に開けた開口部の前記単結晶炭化珪素基板表面に形成され、かつ、形成時もしくは形成後に熱処理された絶縁膜と、前記絶縁膜のうちゲート絶縁膜となる部分の上に形成したゲート電極と、前記ゲート電極部材の一部を熱酸化して形成したゲート電極側面絶縁膜と、それらの上に形成した層間絶縁膜と、前記層間絶縁膜に開けた開口部を介して前記ゲート電極に接続した金属配線と、前記単結晶炭化珪素基板の裏面に設けた裏面電極と、を備えたゲート電極-ゲート絶縁膜-単結晶炭化珪素構造を有するMOSキャパシタであって、前記ゲート電極以外の金属電極は前記裏面電極に相当する請求項26に記載の炭化珪素半導体装置。

【請求項28】前記炭化珪素半導体装置は、単結晶炭化珪素基板と、その一主面に形成した単結晶炭化珪素の第1のエピタキシャル層と、前記第1のエピタキシャル層の表層部における所定領域に相互に離間して形成した二つのベース領域と、前記二つのベース領域の表層部の所定領域に設けた二つのソース領域と、前記二つのソース領域にそれぞれ接続したソース電極と、前記二つのソース領域の間で前記二つのベース領域上および前記第1のエピタキシャル層上に設けた第2のエピタキシャル層と、前記第2のエピタキシャル層上および前記二つのソース領域上の所定領域に設けたゲート絶縁膜と、前記ゲート絶縁膜上に設けたゲート電極と、前記ゲート電極部材の一部を熱酸化して形成したゲート電極側面絶縁膜と、それらの上に形成した層間絶縁膜と、前記層間絶縁膜上を覆い前記ソース電極に接続した金属配線と、前記

10

20

30

40

50

単結晶炭化珪素基板の裏面に設けたドレイン電極と、を備え、かつ、前記第1のエピタキシャル層の表層部に形成したベース領域と、前記ベース領域上に形成したフィールド絶縁膜と、前記フィールド絶縁膜上に形成した前記ゲート電極の延長部と、前記延長部に接続した外部への引出部とを有するゲート電極取り出し部分を備えたゲート電極-ゲート絶縁膜-単結晶炭化珪素構造を有するMOSFETであって、前記ゲート電極以外の金属電極は前記ソース電極および前記ドレイン電極に相当する請求項26に記載の炭化珪素半導体装置。

【請求項29】前記炭化珪素半導体装置は、単結晶炭化珪素基板と、その一主面に形成された単結晶炭化珪素の第1のエピタキシャル層と、前記第1のエピタキシャル層の表層部における所定領域に相互に離間して形成された二つのベース領域と、前記二つのベース領域の表層部の所定領域に設けられた二つのエミッタ領域と、前記二つのエミッタ領域にそれぞれ接続されたエミッタ電極と、前記二つのエミッタ領域の間で前記二つのベース領域上および前記第1のエピタキシャル層上に設けられた第2のエピタキシャル層と、前記第2のエピタキシャル層上および前記二つのエミッタ領域上の所定領域に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、前記ゲート電極部材の一部を熱酸化して形成したゲート電極側面絶縁膜と、それらの上に形成した層間絶縁膜と、前記層間絶縁膜上を覆い前記エミッタ電極に接続された金属配線と、前記単結晶炭化珪素基板の裏面に設けられたコレクタ電極と、を備え、かつ、前記第1のエピタキシャル層の表層部に形成したベース領域と、前記ベース領域上に形成したフィールド絶縁膜と、前記フィールド絶縁膜上に形成した前記ゲート電極の延長部と、前記延長部に接続した外部への引出部とを有するゲート電極取り出し部分を備えたゲート電極-ゲート絶縁膜-単結晶炭化珪素構造を有するIGBTであって、前記ゲート電極以外の金属電極は前記エミッタ電極および前記コレクタ電極に相当する請求項26に記載の炭化珪素半導体装置。

【請求項30】単結晶炭化珪素基板表面を熱酸化して下部絶縁膜を形成する工程と、  
前記下部絶縁膜の上に上部絶縁膜を形成する工程と、  
前記下部絶縁膜と前記上部絶縁膜からなるフィールド絶縁膜の所定領域に前記単結晶炭化珪素基板表面まで達する開口部を形成する工程と、  
前記開口部の単結晶炭化珪素基板表面を所定温度で熱酸化して絶縁膜を形成する工程と、  
前記絶縁膜のうちゲート絶縁膜となる部分の上にゲート電極を形成する工程と、  
前記ゲート電極部材を熱酸化して、その側面にゲート電極側面絶縁膜を形成する工程と、  
前記絶縁膜のうち前記ゲート電極の下にない部分と前記ゲート電極と前記上部絶縁膜との上に層間絶縁膜を形成



する工程と、  
前記単結晶炭化珪素基板の裏面に金属電極材料を付着させる工程と、

前記ゲート絶縁膜が、前記単結晶炭化珪素基板と前記フィールド絶縁膜と前記ゲート電極と前記ゲート電極側面絶縁膜と前記絶縁膜のうちゲート絶縁膜でない部分とによって全周囲を囲まれた後に、前記絶縁膜を形成した際の所定温度よりも低い温度であって、かつ、単結晶炭化珪素と金属とのコンタクト・アニールに十分な温度で加熱処理を行って裏面電極を形成する工程と、  
を備えたことを特徴とする炭化珪素半導体装置の製造方法。

【請求項31】単結晶炭化珪素基板表面を熱酸化して下部絶縁膜を形成する工程と、

前記下部絶縁膜の上に上部絶縁膜を形成する工程と、

前記下部絶縁膜と前記上部絶縁膜からなるフィールド絶縁膜の所定領域に前記単結晶炭化珪素基板表面まで達する開口部を形成する工程と、

前記開口部の単結晶炭化珪素基板表面を所定温度で熱酸化して絶縁膜を形成する工程と、

前記絶縁膜上のうちゲート絶縁膜となる部分の上にゲート電極を形成する工程と、

前記ゲート電極上面に一過性の窒化シリコン膜を形成する工程と、

前記ゲート電極部材を熱酸化して、その側面にゲート電極側面絶縁膜を形成する工程と、

前記一過性の窒化シリコン膜を除去する工程と、

前記絶縁膜のうち前記ゲート電極の下にない部分と前記ゲート電極と前記上部絶縁膜との上に層間絶縁膜を形成する工程と、

前記単結晶炭化珪素基板の裏面に金属電極材料を付着させる工程と、

前記ゲート絶縁膜が、前記単結晶炭化珪素基板と前記フィールド絶縁膜と前記ゲート電極と前記ゲート電極側面絶縁膜と前記絶縁膜のうちゲート絶縁膜でない部分とによって全周囲を囲まれた後に、前記絶縁膜を形成した際の所定温度よりも低い温度であって、かつ、単結晶炭化珪素と金属とのコンタクト・アニールに十分な温度で加熱処理を行って裏面電極を形成する工程と、  
を備えたことを特徴とする炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、炭化珪素(SiC)基板を使用した半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】炭化珪素半導体(以下SiCと略記)は、pn接合の形成が可能で、珪素(Si)や砒化ガリウム(GaAs)等の他の半導体に比べて禁制帯幅が広

く、3C-SiCで2.23eV、6H-SiCで2.93eV、4H-SiCで3.26eVの値が報告されている。よく知られているように、パワーデバイスのオン抵抗と逆方向耐電圧、およびオン抵抗とスイッチング周波数との間には、原理的に禁制帯幅で規定されるトレードオフ関係があるから、現行Siパワーデバイスで、Siの禁制帯で決まる限界を超えて高性能を得ることは困難である。しかし、禁制帯幅の広いSiCでパワーデバイスを構成すれば、従来のトレードオフ関係が大きく緩和されるので、オン抵抗、逆方向耐電圧、スイッチング速度を著しく、あるいは、同時に向上させたデバイスが達成できる。さらにSiCは熱的、化学的、機械的に安定で、しかも、放射線耐性にも優れているので、高周波デバイスやパワーデバイスはもちろんのこと、高温、腐食、放射線照射等の過酷な条件でも動作する耐環境性半導体装置としても実現が期待されている。SiCデバイスの中でも特に、MOSキャパシタや大電流を制御するSiCパワーMOSFET(金属-酸化物-半導体構造電界効果トランジスタ)やIGBT(Insulated Gate Bipolar Transistor: 絶縁ゲートバイポーラトランジスタ)においては、熱損失増大や動作速度低下の原因となるソース/ドレイン(n型極性)の接触抵抗を無視できるレベルまで低減するとともに高信頼・高性能のゲート絶縁膜ならびにMOS界面特性を実現することが実用化に向けた重要な課題である。SiC単結晶に低接触抵抗を得る公知技術は、接触金属膜を蒸着などでSiC上に形成した後、真空または不活性ガス雰囲気中で950℃以上の高温で数分間の急速高温加熱処理(いわゆるコンタクト・アニール)を行い、SiCと接触金属との間に反応層を形成して、接触電極とする方法である。6H-SiC基板では、n型領域にNi膜を、p型領域にAl-Ti合金膜を用いて、それぞれ $10^{-7} \Omega\text{cm}^2$ 台(J. Crofton et al., Journal of Applied Physics, 77, p. 1317 (1995))、 $10^{-6} \Omega\text{cm}^2$ 台(J. Crofton et al., Solid-State Electronics, 41, p. 1725 (1997))の極めて低い実用レベルの接触抵抗が得られている。また、最近になって4H-SiC基板でも薄いNiとTi/Al積層膜を用いて、それぞれn型、p型領域に $10^{-7} \Omega\text{cm}^2$ 台の低い接触抵抗が得られている。

【0003】

【発明が解決しようとする課題】上記のような公知の急速高温加熱処理(コンタクト・アニール)を実際のデバイスに単純に適用すると、ゲート絶縁膜の信頼性やMOS界面特性に致命的な影響を与えることが分ってきた。例えば1999年発表の論文(T. Takami et al., Extended Abstracts of Symposium on Future Electron Devices 2000 (Tokyo), FED-169, p.127, (1999).)では、n型エピタキシャル成長層を有するn型4H-SiC基板に形成した約48nm厚の熱酸化膜に、真空中で1000℃、1分間の急速高温加熱処理(with RTA)を施



した後、A1電極を形成してMOSキャパシタを作成した。そして、電流－電圧（I－V）特性（図14）と高周波容量－バイアス電圧（C－V）特性（図15）を評価したところ、急速高温加熱処理（without RTA）を加えない試料に比べて、①本来40V程度あるべきゲート絶縁膜の耐圧（＝絶縁破壊電圧）が1／8の5V以下に急落する（図14上グラフ）、②ゲート絶縁膜のリーク電流が著しく増大する（同グラフ）、③フラットバンド電圧が通常の0V付近から15V以上正方向にシフトする（図15）、と具体的なデータを示し問題の深刻さを指摘している。このほかにも同様な指摘が多数報告されている。同じ構造を有するパワーMOSFETやIGBTでもこの問題は同様に重大であることは言うまでもない。このような問題の解決策として容易に思いつくのは、加熱処理（コンタクト・アニール）温度を下げる、たとえば850℃あるいはこれ以下に下げる方法である。しかし、この方法ではソース／ドレインなどの接触抵抗が急増させるという、パワーデバイスでは特に嫌う別の弊害を招来させるので、根本的な対策とは到底言えるものではない。

【0004】本発明は、上記のごとき従来技術の問題を解決するためになされたものであり、単結晶炭化珪素に対するコンタクト形成時の急速高温加熱処理に起因するゲート絶縁膜ならびにMOS界面特性の劣化を、オーミック接触の接触抵抗の増大を招くことなく解決することを目的とする。

【0005】

【課題を解決するための手段】上記の目的を達成するため、本発明においては特許請求の範囲に記載するように構成している。すなわち、請求項1は、本発明の基本的な構成を示したものであり、ゲート絶縁膜を、前記ゲート絶縁膜と反応しない電極部材と、前記ゲート絶縁膜と反応しない絶縁膜と、単結晶炭化珪素基板とで被った後に、加熱処理を行って形成した炭化珪素半導体装置である。

【0006】請求項2は、請求項1におけるゲート絶縁膜と反応しない絶縁膜としてフィールド絶縁膜を用いたものであり、ゲート絶縁膜を、前記ゲート絶縁膜と反応しない電極部材と、前記ゲート絶縁膜と反応しないフィールド絶縁膜と、単結晶炭化珪素基板とで被った後に、加熱処理を行って形成した炭化珪素半導体装置である。

【0007】また、請求項3は、本発明の基本となる「ゲート電極－ゲート絶縁膜－単結晶炭化珪素」構造の構成を示すものであり、ゲート電極以外の電極で、単結晶炭化珪素基板とコンタクトされ、ゲート絶縁膜が単結晶炭化珪素基板とフィールド絶縁膜とゲート電極とによって全周囲を囲まれた後に、ゲート絶縁膜を形成した熱酸化温度よりも低い温度であって、かつ、単結晶炭化珪素と金属とのコンタクト・アニールに十分な温度で、加熱処理を施された金属電極を備えたことを特徴とするも

のである。なお、「単結晶炭化珪素基板」とは、その表面に形成されたエピタキシャル層等も含む表現である。

【0008】また、請求項4は、請求項3の構成をMOSキャパシタに適用した構成を示すものである。また、請求項5は、請求項3の構成をMOSFETに適用した構成を示すものである。また、請求項6は、請求項3の構成をIGBTに適用した構成を示すものである。また、請求項7においては、ゲート電極を、多結晶シリコンまたは多結晶シリコンをシリサイド化させたシリサイドを用いて形成している。

【0009】また、請求項8においては、フィールド絶縁膜は、単結晶炭化珪素基板の熱酸化膜として形成した下部絶縁膜と、熱酸化以外の方法で形成した、下部絶縁膜よりも厚い上部絶縁膜との積層で構成している。

【0010】また、請求項9においては、金属配線を、加熱処理が行われた後に形成するように構成している。また、請求項10に記載のように、加熱処理は、数分以内に900℃以上に加熱する急速高温加熱処理である。また、請求項11に記載のように、加熱処理は、金属電極を単結晶炭化珪素へ接続するためのコンタクト・アニール処理である。

【0011】また、請求項12は、炭化珪素半導体装置の製造方法を示し、前記請求項3に記載の炭化珪素半導体装置を製造する方法に相当する。この製造方法においては、フィールド絶縁膜、ゲート絶縁膜およびゲート電極を形成する工程の後に、ゲート絶縁膜を形成した熱酸化温度よりも低い温度であって、かつ、単結晶炭化珪素と金属とのコンタクト・アニールに十分な温度で、加熱処理を行う工程を有することを特徴としている。

【0012】また、請求項13においては、ゲート絶縁膜が形成される以前の段階において、単結晶炭化珪素基板表面の汚染層および結晶欠陥層を除去する工程を有するように構成している。また、請求項14においては、ゲート絶縁膜を形成する工程の直前に、フッ酸処理を含まない酸処理洗浄と、これに連続して緩衝フッ酸溶液または希フッ酸に5～10秒間浸漬する酸処理を行う前処理工程を備えるように構成している。また、請求項15に記載のように、加熱処理は、数分以内に900℃以上に加熱する急速高温加熱処理であり、かつ、前記ゲート絶縁膜を形成した熱酸化温度を越えない温度で行うように構成している。

【0013】また、請求項16に記載のように、加熱処理は、金属電極を前記単結晶炭化珪素基板へ接続するためのコンタクト・アニール処理である。また、請求項17においては、加熱処理は、フィールド絶縁膜、ゲート絶縁膜およびゲート電極の形成後であって、かつ、ゲート電極およびその他の電極を外側へ接続するための金属配線を形成する前に、行われるように構成している。また、請求項18は、本発明の製造方法の具体的な例を示し、請求項4に記載する炭化珪素半導体装置の製造方法

に相当する。

【0014】さらに、請求項19は、請求項1におけるゲート絶縁膜と反応しない絶縁膜として、ゲート電極の一部を熱酸化して形成した絶縁膜および単結晶炭化珪素基板を熱酸化して形成した絶縁膜（ゲート絶縁膜の外縁部分）を用いたものであり、ゲート絶縁膜を、ゲート絶縁膜と反応しないゲート電極と、前記ゲート電極の一部を熱酸化して形成した絶縁膜と、単結晶炭化珪素基板と、単結晶炭化珪素基板を熱酸化して形成した絶縁膜とで被った後に、加熱処理を行ったことを特徴とする炭化珪素半導体装置である。

【0015】また、請求項20は、請求項19のより具体的な構成を示すものであり、ゲート絶縁膜が、単結晶炭化珪素基板と単結晶炭化珪素基板上に形成した絶縁膜とゲート電極とゲート電極側面絶縁膜とによって全周囲を囲まれた後に、ゲート絶縁膜を形成した熱酸化温度よりも低い温度であって、かつ、単結晶炭化珪素と金属とのコンタクト・アニールに十分な温度で加熱処理を行う構成を示している。

【0016】また、請求項21は、請求項20の構成をMOSキャパシタに適用した構成を示すものである。また、請求項22は、請求項20の構成をMOSFETに適用した構成を示すものである。また、請求項23は、請求項20の構成をIGBTに適用した構成を示すものである。また、請求項24は、請求項20～請求項23の構造の製造方法を示すものであり、ゲート電極部材を熱酸化することによって、その側面にゲート電極側面絶縁膜を形成する工程を有している。

【0017】さらに、請求項25は、請求項20～請求項23の構造の他の製造方法を示すものであり、ゲート電極部材を熱酸化する前に、ゲート電極上面に一過性の窒化シリコン膜を形成する工程を備えている。

【0018】請求項26は、請求項19の他の具体的な構成を示すものであり、ゲート絶縁膜が、単結晶炭化珪素基板とフィールド絶縁膜と熱処理された絶縁膜とゲート電極とゲート電極側面絶縁膜とによって全周囲を囲まれた後に、絶縁膜の熱処理温度よりも低い温度であって、かつ、単結晶炭化珪素と金属とのコンタクト・アニールに十分な温度で加熱処理を行う構成を示している。

【0019】また、請求項27は、請求項26の構成をMOSキャパシタに適用した構成を示すものである。また、請求項28は、請求項26の構成をMOSFETに適用した構成を示すものである。また、請求項29は、請求項26の構成をIGBTに適用した構成を示すものである。また、請求項30は、請求項26～請求項29の構造の製造方法を示すものである。

【0020】さらに、請求項31は、請求項26～請求項29の構造の他の製造方法を示すものであり、ゲート電極部材を熱酸化する前に、ゲート電極上面に一過性の窒化シリコン膜を形成する工程を備えている。

# 【0021】

【発明の効果】請求項1乃至請求項3に記載の発明によれば、ゲート電極以外の電極で、単結晶炭化珪素基板とコンタクトされる金属電極（ソース電極、エミッタ電極或いは裏面に設けるドレイン電極やコレクタ電極）として、ゲート絶縁膜が単結晶炭化珪素基板と、ゲート絶縁膜と反応しない絶縁膜（請求項2、3ではフィールド絶縁膜）と、ゲート電極とによって全周囲を囲まれた後に、ゲート絶縁膜を形成した熱酸化温度よりも低い温度であって、かつ、単結晶炭化珪素と金属とのコンタクト・アニールに十分な温度で加熱処理を施された金属電極を用いる構成としたことにより、高温の加熱処理時には、ゲート絶縁膜が熱的に安定な（反応しない）ゲート電極（多結晶シリコン）、 $\text{SiO}_2$ 、 $\text{SiC}$ に上下左右から完全に取り囲まれるため、急速加熱処理装置の内壁や $\text{SiC}$ 基板自身のコンタクトから飛来してゲート絶縁膜に付着した金属物質が高温処理でゲート絶縁膜に侵入するという弊害と、急速加熱処理が $800^\circ\text{C}$ 以上の高真空中で行われる場合に $\text{SiO}_2$ ゲート絶縁膜が不均一に分解して変質するという弊害と、を極めて効果的に防止することができる。また、ゲート絶縁膜を熱酸化で形成する際の温度をコンタクト・アニールの温度よりも高くしていることにより、急速加熱処理でゲート絶縁膜に生じる収縮に伴う熱ストレスを穏やかな熱処理条件で事前に開放することができる。そのため、後記図4、図5で詳述するように、急速高温加熱処理による熱ストレス起因で生じるゲート絶縁膜の劣化、すなわち、①絶縁破壊電圧が急落する、②リーク電流が増大する、③フラットバンド電圧が正方向に増大する、という従来技術の問題を解決することができる、という効果が得られる。また、単結晶炭化珪素と金属とのコンタクト・アニールに十分な温度で加熱処理を施しているため、単結晶炭化珪素と金属電極との接触は、例えば接触抵抗が $10^{-6}\Omega\text{cm}^2$ 台を示す極めて低抵抗のオーミック接触が得られている。なお、本発明は、ゲート絶縁膜形成後に行われるコンタクト・アニール以外の熱処理についても同様に効果がある。

【0022】また、請求項4においては、本発明を適用したMOSキャパシタを実現することが出来る。また、請求項5においては、本発明を適用したMOSFETを実現することが出来る。また、請求項6においては、本発明を適用したIGBTを実現することが出来る。また、請求項7においては、本発明に好適なゲート電極を実現することが出来る。

【0023】また、請求項8においては、本発明に好適なフィールド絶縁膜を実現することが出来る。すなわち、過度に基板表面を酸化すると、具体的には数 $10\text{nm}$ 以上連続酸化すると、基板表面が荒れて、荒れた表面に形成したゲート絶縁膜が劣化し、甚だしい場合は、犠牲酸化しない場合より絶縁破壊電圧やリーク電流特性が

悪化することさえある。しかし、請求項8に記載のように、フィールド絶縁膜を熱酸化で形成した薄い下部酸化膜とその他の方法で形成した厚い上部酸化膜とで構成することにより、フィールド絶縁膜のゲート開口部には荒れのない極めて平坦でかつ汚染や欠陥の少ない結晶表面が形成されるので、①ゲート絶縁膜の絶縁破壊電圧が低下する、②リーク電流が増大する、という問題を解決することができるという効果が得られる。

【0024】また、請求項9においては、金属配線を、加熱処理が行われた後に形成することにより、加熱処理時の熱や熱衝撃によって、①金属配線が層間絶縁膜から剥離する、②金属配線が層間絶縁膜やその下のゲート絶縁膜を劣化（つまり、還元、金属元素の拡散、応力の発生）させる、③配線が溶融して溢れ出しチップ内の回路を短絡させる、等の問題を回避することが出来る、という効果が得られる。

【0025】また、請求項10～請求項18に記載の製造方法においては、請求項1～請求項11に記載の装置と同様の効果が得られるが、特に、請求項13においては、次のような効果が得られる。すなわち、ゲート絶縁膜が形成される以前の段階において、単結晶炭化珪素基板表層の汚染層および結晶欠陥層を除去する工程を設けたことにより、すくなくとも一部が熱酸化で形成されるゲート絶縁膜に潜在欠陥が取りこまれる確率が低減するので、この潜在欠陥が急速加熱処理で顕在化する機構で誘発されるゲート絶縁膜の劣化、すなわち、①ゲート絶縁膜の絶縁破壊電圧が低下する、②リーク電流が増大する、というコンタクト・アニールを含む実デバイス製造工程で起こる問題を著しく低減できるという効果が得られる。

【0026】また、請求項19、請求項20、請求項26においては、請求項2、3の効果に加えて、ゲート絶縁膜のうちゲート電極外縁近傍部分の劣化しやすい部分の上に存在するゲート電極部分を熱酸化で絶縁物とし、実質的にこの部分がゲート電極として動作しないようにしている。そのためゲート絶縁膜周辺部分の劣化領域には正味、電界が発生しないので、ここを起点にゲート絶縁膜がリークしたり破壊したりするおそれなくなり、ゲート電極のドライエッチングで誘起したゲート絶縁膜劣化が原因となって起きるゲート絶縁膜の、①絶縁破壊電圧が低下する、②リーク電流が増大する、という問題を解決することができる。

【0027】また、請求項25、請求項31においては、ゲート電極の上面は耐酸化性の高い一過性の窒化シリコン膜で被覆されているので、熱酸化は気相に露出しているゲート電極の側面だけで起き、ゲート電極の上面が熱酸化されることはない。したがってゲート電極の上面が熱酸化されることを考慮することなく、ゲート電極側面絶縁膜の厚みを任意に設定できるという利点がある。

【0028】

【発明の実施の形態】（第1の実施の形態）以下、本発明の第1の実施の形態を、最も簡単なMOS素子であるMOSキャパシタに適用した場合を例に挙げて説明する。MOSキャパシタはSiC集積回路において、可変容量素子などとして使用される。図1は、本発明を金属-酸化物-単結晶炭化珪素（MOSiC）構造体に適用したMOSキャパシタの要部断面図である。図1において、1は高不純物濃度（窒素 $>1 \times 10^{-19} / \text{cm}^3$ ）のn-型の単結晶炭化珪素基板（以下、SiC基板と略記する）であり、表面に厚み $10 \mu\text{m}$ で、窒素を $4 \times 10^{-15} / \text{cm}^3$ 添加したn-エピタキシャル層2をホモエピタキシャル成長させている。このSiC基板1としては、4H、6H、3C、15Rなど全ての晶系（Hは六方晶、Cは立方晶、Rは菱面体晶を意味する）の基板を用いることができる。ここでn-、n+はn型不純物をそれぞれ低濃度に、高濃度に添加したという意味に用いている。p型不純物添加の場合は同様にp-、p+の記号を用いる。

【0029】エピタキシャル層2の上には厚み数100nm以上のフィールド絶縁膜3が配設されている。このフィールド絶縁膜3は少なくともSiC基板1（正確にはエピタキシャル層2）の熱酸化で形成した薄い下部絶縁膜4の上に、SiCの熱酸化以外の手段（たとえば減圧CVD法など）で形成した厚い上部絶縁膜5が積層された構造になっている。6はフィールド絶縁膜3に開けられたゲート開口部、7はゲート開口部6の底面に形成されたゲート絶縁膜である。このゲート絶縁膜7は成膜中あるいは成膜後に酸素原子を含むガス中に直接さらして、熱処理された膜であることを要する。ゲート絶縁膜7の上には、ゲート開口部6を完全に被覆し、かつ、一部がフィールド絶縁膜3上に延伸するように配置された多結晶シリコンのゲート電極8が設けられている。ゲート電極8およびフィールド絶縁膜3の上には層間絶縁膜9が成膜されている。なお、ゲート電極8としては、多結晶シリコン以外にも多結晶シリコンを金属（Ni、Ti、Co等）とシリサイド化させたシリサイド電極を用いることも出来る。

【0030】10は裏面電極であり、SiC基板1の裏面の周辺を残してほぼ全域に配置されSiC基板1とオーミック接続している。この裏面電極10は、Niなどの接触金属をSiC基板1の裏に蒸着した後、ゲート絶縁膜5の形成温度よりも低い温度の急速加熱処理でSiC基板1と合金化させることによって形成する。なお、SiC基板1側面に接触金属が付着するおそれがない場合には、接触金属を基板の裏面全面に配設するようにしてもよい。11は層間絶縁膜9に開口したゲート電極結線開口部、12はゲート電極8を同一基板上の他の回路要素や外部回路に接続するための配線である。ゲート電極結線開口部11はゲート開口部6上のゲート電極8に

重なるように設けてもよい。配線12は層間絶縁膜9を除去して形成したゲート電極結線開口部11でゲート電極8と接続されている。

【0031】次に、図1に示したMOSキャパシタの製造方法を説明する。図2および図3は、図1に示したMOSキャパシタの製造方法を示す断面図である。まず、図2(a)では、ドナー原子である窒素を $1 \times 10^{19} / \text{cm}^3$ 以上添加した(0001)  $8^\circ$  OFF高濃度n型4H-SiC基板1の表面(ここではSi終端面)にシランとプロパンを原料に用いたCVD法(化学的気相成長法)で、 $10^{15} / \text{cm}^3$ 台の高品質ホモ・エピタキシャル層2を所定の膜厚(例えばここでは $10 \mu\text{m}$ )だけ成長させ、成長後、SiC基板1の裏面(ここではC終端面)に付着した低品質のホモエピタキシャル膜を機械研削で取り除く。研削にあたっては、ゲート絶縁膜劣化の一要因となる傷がエピタキシャル層2につかないように、表面を厚い(少なくとも $1 \mu\text{m}$ 以上の)CVD-SiO<sub>2</sub>膜などで保護することが重要である。裏面研削後、この表面保護膜を緩衝フッ酸溶液など、その材質に適した除去液で取り除く。なお、以下の説明において、特に断らない場合は、SiC基板1にエピタキシャル層2やその他の膜や電極が形成されたものを基板と呼んでいる。

【0032】次に、基板をRCA洗浄( $\text{H}_2\text{O}_2 + \text{NH}_4\text{OH}$ 混合液SC-1と $\text{H}_2\text{O}_2 + \text{HCl}$ 混合液SC-2を組み合わせて行う伝統的な半導体基板の洗浄法)などで十分洗浄した後、ドライ酸素雰囲気中で熱酸化してエピタキシャル層2表面並びに基板裏面に熱酸化膜を成長させ、緩衝フッ酸溶液に浸漬して直に取り除く。この時、エピタキシャル層2表面に薄い酸化膜が成長するように酸化条件を設定する。上記熱酸化膜の厚みは50nm未満、好ましくは5~20nmが望ましい。5nmより薄い場合は基板表面の汚染層や損傷層を除去する効果が乏しく、50nmより厚い場合は過度な酸化により基板表面が次第に荒れるという問題があり、膜厚は厚すぎても、薄すぎても好ましくない。

【0033】上記のように、ゲート絶縁膜が形成される以前の段階において、単結晶炭化珪素基板表面の汚染層および結晶欠陥層を除去することにより、後に熱酸化で形成されるゲート絶縁膜に潜在欠陥が取りこまれる確率が低減するので、この潜在欠陥が急速加熱処理で顕在化する機構で誘発されるゲート絶縁膜の劣化、すなわち、①ゲート絶縁膜の絶縁破壊電圧が低下する、②リーク電流が増大する、というコンタクト・アニールを含む実デバイス製造工程で起こる問題を著しく低減することが出来る。

【0034】次に、図2(b)では、上記の犠牲酸化が終了した基板を再び、RCA洗浄などで十分洗浄した後、エピタキシャル層2表面に薄い下部絶縁膜4と厚い上部絶縁膜5からなるフィールド絶縁膜3を成膜する。

下部絶縁膜4は、エピタキシャル層2表面を酸素雰囲気中でドライ酸化して形成した約10nmの熱酸化膜、上部絶縁膜5は熱酸化以外の方法で形成した所望の厚みの絶縁膜、例えば酸素とシランを用いた常圧CVDで形成した400nm厚のSiO<sub>2</sub>膜などを使用することができる。下部絶縁膜4の熱酸化はドライ酸化に限定されるものではなく、ウエット酸化や他の酸化ガスをを用いた熱酸化でもよい。下部絶縁膜4の厚みは、前述の犠牲酸化と同様な理由で、50nm未満、好ましくは5~20nmが望ましい。なお、エピタキシャル層2表面に熱酸化膜の下部絶縁膜4を成長させてから、上部絶縁膜5を成膜してもよいし、逆に、上部絶縁膜5を成膜してから熱酸化して、エピタキシャル層2と上部絶縁膜5の間に下部絶縁膜4(熱酸化膜)を形成してもよい。ただし、後者の工順を取ることができるのは、上部絶縁膜5が酸素透過性の膜である場合に限られる。

【0035】また、図2(b)中の101は下部絶縁膜4を形成するときSiC基板1の裏面に自動的に形成される第1の一過性の熱酸化膜であるが、無意味なものではなく、工程(a)で生じた基板裏面の相当深い研削損傷層を効果的に取り除く作用を有している。文献によれば6H-SiC基板のC終端面(裏面)にはSi終端面の約10倍の速度で酸化が進むと報告されている。なお、過度に基板表面を酸化すると、具体的には数10nm以上連続酸化すると、基板表面が荒れて、荒れた表面に形成したゲート絶縁膜が劣化し、甚だしい場合は、犠牲酸化しない場合より絶縁破壊電圧やリーク電流特性が悪化することさえある。しかし、上記のようにフィールド絶縁膜3を熱酸化で形成した薄い下部酸化膜4とその他の方法で形成した厚い上部酸化膜5とで構成することにより、フィールド絶縁膜3のゲート開口部には荒れない極めて平坦でかつ汚染や欠陥の少ない結晶表面が形成されるので、①ゲート絶縁膜の絶縁破壊電圧が低下する、②リーク電流が増大する、という問題を解決することができる。

【0036】次に、図2(c)では、基板の表面にフォトリソを塗布し、露光し、現像し、基板を緩衝フッ酸溶液( $\text{NH}_4\text{F} + \text{HF}$ 混合液)に浸漬してウエットエッチングすることで、フィールド絶縁膜3の所定の位置にゲート開口部6を形成する。微細な開口部6を形成するときは、CF<sub>4</sub>ガスプラズマなどを用いた反応性イオンエッチング等のドライ・エッチングを用いることができるが、この場合、最初にドライ・エッチングを行い、フィールド絶縁膜3を数100nm残したところで、必ず、上記緩衝フッ酸溶液を用いたウエット・エッチングに切り換えるようにする。ゲート開口部6を最後までドライエッチングで貫通させると、SiC表面がプラズマ損傷で荒れたり、ドライ・エッチング反応で生成したハイドロ・カーボンが底部に付着したりして、つぎの工程で形成するゲート絶縁膜の特性劣化の要因となるからで

ある。上記のようにゲート領域の開口エッチングが済んだら、フォトリソを剥離する。前記工程(b)で基板裏面の損傷層を取り込んだ第1の一過性の熱酸化膜101はここで消失する。

【0037】次に、図2(d)では、レジスト残滓で汚れた基板を再び、途中にフッ酸処理を含まないRCA洗浄などで十分洗浄するとともに、洗浄の最終段階において、このRCA洗浄でゲート開口部表面に生成した化学的酸化膜を除去するために緩衝フッ酸溶液に5秒〜10秒間浸し、超純水で緩衝フッ酸溶液を完全にすすぎ落とし、乾燥する。化学的酸化膜は極めて低品質であるばかりでなく、不均一な膜でもあるので、次の熱酸化膜の均一成膜に悪影響を与えるため、化学的酸化膜の除去は省くことができない。

【0038】次に、乾燥した基板を直ちに熱酸化して、ゲート開口部6のエピタキシャル層2表面に所望の厚み(例えばここでは40nm厚)のゲート絶縁膜7を成長させる。ゲート酸化の条件としては、これに限定されるわけではないが、例えば、温度1100℃でのドライ酸化がよい。ここでコンタクト・アニール等の急速熱処理に十分耐えられるゲート絶縁膜7を実現するための重要な注意点は、熱酸化温度は後続の全ての工程のどの熱処理温度よりも高く設定するという点である。本実施の形態では、後に、裏面電極の低抵抗のオーミック接触を実現するために、1000℃の急速加熱処理を実施するので、1100℃という酸化温度が選ばれた。素子によっては表面荒れが著しくなる50nm以上のゲート絶縁膜にしたい場合がある。この場合はSiCの熱酸化膜の上に他の成膜手段で形成した絶縁膜(例えば、CVD-SiO<sub>2</sub>膜)を積層し、所望の厚みにする。

【0039】なお、図2(d)において、102は熱酸化でゲート絶縁膜を形成するときに基板裏面に自動的に生成される比較的厚い第2の一過性の熱酸化膜であるが、前述の第1の一過性の熱酸化膜101と同様に研削損傷層を取り除く効果のほかに、後記工程(e)で説明する裏面の多結晶シリコン除去のドライエッチングダメージから基板裏面を保護する重要な機能がある。この酸化膜保護がないと、基板裏面の結晶性が乱れて、後記の工程(f)で形成する裏面電極10のオーミック特性が低下するという問題が起こる。

【0040】次に、図3(e)では、直ちに基板全面にシラン原料を用いた減圧CVD法(成長温度600℃〜700℃)で、厚み300〜400nmの多結晶シリコン膜を成膜した後、塩素酸リン(POCl<sub>3</sub>)と酸素を用いた周知の熱拡散法(処理温度900℃〜950℃)で多結晶シリコン膜にPを添加し、導電性を付与する。つづいて、基板表面にフォトリソを塗布して、フォトリソグラフィおよび、C<sub>2</sub>F<sub>6</sub>と酸素をエッチャントとした反応性イオンエッチング(RIE)を用いて、基板表面側の多結晶シリコン膜の不要な部分を取り除き、

多結晶シリコンのゲート電極8を形成する。

【0041】次に、RIEエッチングに使用したレジストを完全に除去した後、再び基板表面全面に厚み1μm以上のレジスト材(フォトリソでよい)を塗布して表面を保護しながら、CF<sub>4</sub>とO<sub>2</sub>をエッチャントとしたドライエッチングを行い、裏面側に堆積した多結晶シリコンを完全に除去する。ドライエッチングでは基板は加速イオンが飛び交う環境に置かれるので、イオン衝撃によるダメージや帯電が起きやすく、これによるゲート絶縁膜7の劣化を防止するために、レジスト材による表面保護は欠かせない重要な注意点である。

【0042】表面保護のレジスト材を剥離し、基板を再びRCA洗浄し、清浄化したところで、基板表面の多結晶シリコンのゲート電極8およびフィールド絶縁膜3の上部に層間絶縁膜9を堆積する。この層間絶縁膜9としては、シランと酸素を原料とした常圧CVD法で形成した約1μm厚のSiO<sub>2</sub>膜、あるいは更にリンを添加したリン珪酸ガラス(PSG)などが層間絶縁膜材として適しているが、これに限定されるものではなく、後続の各種熱処理工程に耐えられるものなら、SiNなど他の材料でも構わない。その後、基板を通常の拡散炉に入れ、N<sub>2</sub>雰囲気中で数10分間の穏やかな熱処理を行い、層間絶縁膜9を高密度化する。この時の熱処理温度はゲート酸化温度1100℃よりも低い温度、例えば、900℃〜1000℃の範囲で適宜選ばれる。

【0043】次に、図3(f)では、再び表面のゲート電極8やフィールド絶縁膜3を保護するために、基板表面にフォトリソを塗布して、十分にポストバークを行い、レジストの揮発性成分を完全に蒸発させてから、基板を緩衝フッ酸溶液に浸漬し、裏面に残っている第2の一過性の熱酸化膜102を完全に除去し、超純水で緩衝フッ酸溶液を洗い流す。このようにして露出したSiC基板1裏面のC終端面はダメージや汚染の少ないクリーンな面である。

【0044】超純水で濡れた基板を乾燥させるやいなや、直ちに高真空中に維持された蒸着装置の中に短時間で据え付け、基板裏面に所望の裏面電極材料を蒸着する。裏面電極材料としては、例えば、50nm厚のNi膜がある。なお、基板側面に電極材料が付着するおそれがある場合には、周辺部をシャドーマスクを使用して外縁部を隠蔽して蒸着を行う。図3(f)はシャドーマスクを使用して裏面電極を蒸着した例である。

【0045】次に、表面保護に使用したレジストを当該レジストの専用ストリッパ液で完全に剥離し、基板を十分濯いであら乾燥させ、直ちに急速加熱処理装置に設置して、100%高純度Ar雰囲気中で1000℃、2分間の裏面コンタクト・アニールを実施する。この熱処理によって、Ni膜は低抵抗のSiC基板1と合金化し、少なくとも接触抵抗10<sup>-6</sup>Ωcm<sup>2</sup>台を示す極めて低抵抗のオーミック接触の裏面電極10が出来る。なお、裏



面コンタクト・アニールの温度は、ゲート絶縁膜7を形成した熱酸化温度よりも低い温度であって、かつ、単結晶炭化珪素と金属（例えばNi）とのコンタクト・アニールに十分な温度（少なくとも900℃）に設定する。上記の急速加熱処理に際しては、基板全体、つまり多結晶シリコンのゲート電極8でゲート絶縁膜7を全面被覆した構造を有する「ゲート電極-ゲート絶縁膜-SiC」のMOS構造体全体も同時に加熱される。

【0046】次に、図3(g)では、裏面電極10を形成した後、基板表面にフォトリソを塗布し、露光装置で露光・現像して、層間絶縁膜9開口部をエッチングで設けるためのレジストマスクを形成する。つづいて、基板裏面にフォトリソを塗布して、このレジストを十分乾燥させてから、緩衝フッ酸溶液を用いてエッチングして層間絶縁膜9にゲート電極結線開口部11を開ける。裏面のレジストは裏面電極10が緩衝フッ酸溶液に溶出して、消失したり変質したり、あるいは、裏面から溶出したり剥落した電極材料が表面に付着するのを防止する役割を担っている。

【0047】次に、図3(h)では、開口エッチングが終了したら、レジストマスクと裏面電極保護に使用したレジストを当該レジストの専用ストリッパ液で完全に剥離し、基板を十分濯いでから乾燥させ、直ちに、高真空中に維持されたマグネトロンスパッタリング装置の中に短時間で据え付け、基板の層間絶縁膜9の上部全面に所望の配線材料、例えば1μm厚のAlを蒸着する。

【0048】その後、Al膜を成膜した基板表面にフォトリソを塗布し、露光し、現像して、エッチングのレジストマスクを形成した後、再度、基板裏面に裏面電極保護用のフォトリソを塗布して、このレジストを十分乾燥させてから、リン酸系のエッチング液を用いて表面のAl膜をパターン化し、配線12を形成する。なお、裏面のレジストは裏面電極10がリン酸系のエッチング液に溶出して、消失したり変質したりするのを防止する目的で形成されるが、裏面電極10にこのおそれがない場合やAl膜をRIE（ドライ）でエッチングするときには、省略することができる。

【0049】また、上記のようにAl等の金属配線12を、コンタクト・アニールの加熱処理が行われた後に形成することにより、加熱処理時の熱や熱衝撃によって、①金属配線が層間絶縁膜から剥離する、②金属配線12が層間絶縁膜9やその下のゲート絶縁膜7を劣化（つまり、還元、金属元素の拡散、応力の発生）させる、③金属配線12が溶融して溢れ出しチップ内の回路を短絡させる、等の問題を回避することが出来る。

【0050】最後にレジストマスクと裏面電極保護に使用したレジストを専用ストリッパ液で完全に除去し、基板を十分濯いでから乾燥させることにより、図1に示した本発明に係る「ゲート電極-ゲート絶縁膜-半導体SiC（MOS）構造」を有するMOSキャパシタが完成

する。

【0051】上記のように、本実施の形態においては、ゲート電極以外の電極で、単結晶炭化珪素基板とコンタクトされる金属電極（裏面電極10）として、ゲート絶縁膜7が単結晶炭化珪素基板（エピタキシャル層2）とフィールド絶縁膜3とゲート電極8とによって全周囲を囲まれた後に、ゲート絶縁膜7を形成した熱酸化温度よりも低い温度であって、かつ、単結晶炭化珪素と金属（Ni）とのコンタクト・アニールに十分な温度（900℃以上）で加熱処理を施された金属電極を用いる構成としたことにより、加熱処理時には、ゲート絶縁膜が熱的に安定な（反応しない、拡散しない）ゲート電極（多結晶シリコン）、SiO<sub>2</sub>、SiCに上下左右から完全に取り囲まれるため、急速加熱処理装置の内壁やSiC基板自身のコンタクトから飛来してゲート絶縁膜7に付着した金属物質が高温処理でゲート絶縁膜7に侵入するという弊害と、急速加熱処理が800℃以上の高真空中で行われる場合にSiO<sub>2</sub>ゲート絶縁膜が不均一に分解して変質するという弊害と、を極めて効果的に防止することができる。また、ゲート絶縁膜を熱酸化で形成する際の温度をコンタクト・アニールの温度よりも高くしていることにより、急速加熱処理でゲート絶縁膜に生じる収縮に伴う熱ストレスを、穏やかな熱処理条件で事前に開放することができる。そのため、下記図4、図5で詳述するように、急速高温加熱処理による熱ストレス起因で生じるゲート絶縁膜の劣化を解決することができる、という効果が得られる。また、単結晶炭化珪素と金属とのコンタクト・アニールに十分な温度で加熱処理を施しているため、単結晶炭化珪素と金属電極との接触は、接触抵抗が10<sup>-6</sup>Ωcm<sup>2</sup>台を示す極めて低抵抗のオーミック接触が得られている。

【0052】図4は、このようにして作製したMOSキャパシタのうち、任意の11個について計測した電流-電圧特性図である。なお、試料としたMOSキャパシタは、ゲート電極の面積（開口部）が3.14×10<sup>-4</sup>cm<sup>2</sup>、ゲート絶縁膜の厚みは45nmであった。

【0053】図4から明らかとなり、試験したMOSキャパシタは全個がほぼ同じ電流-電圧特性を示している。この電流-電圧特性はFowler-Northem伝導として知られている薄い酸化膜本来の真因性の特性であり、劣化を示唆するリーク性の伝導は観察されない。また、絶縁破壊電圧はどれも45V（電界強度では10MV/cm）以上と優れた値を与えている。

【0054】図4と前記図14の特性を比較すれば明らかのように、本発明に基づくMOSキャパシタのゲート絶縁膜のリーク電流ならびに絶縁破壊電圧は、前記図14に示した従来技術の急速加熱処理を施したそれら（with RTA）より、格段に改善されている。

【0055】また、図5は、本発明にかかる上記MOSキャパシタの高周波C-V特性図である。前記図15に

示した従来技術では、急速加熱処理の結果、フラットバンド電圧が正方向に大きくシフトし、少なくとも15V以上になることが指摘されているが、同様の急速加熱処理を施した本MOSキャパシタにおいては2V弱の値であり、これもまた大きく減少していることがわかる。このフラットバンド電圧の低下(改善)は、酸化膜界面の有効電荷密度 $Q_{eff}$  [ $/cm^2$ ]に換算して、 $Q_{eff}$ の一桁の減少に相当する大きな改善である。

【0056】以上の説明から明らかなとおり、前記の従来技術においてコンタクト・アニールなどの急速高温加熱処理(例えば1分間で1000℃)を施すと、①本来40Vくらいあるべきゲート絶縁膜の耐圧(=絶縁破壊電圧)が1/8の5V以下に急落する(図14上グラフ)、②ゲート絶縁膜のリーク電流が著しく増大する(同グラフ)、③フラットバンド電圧が通常の0V付近から15V以上正方向にシフトする(図15)、という問題があったが、本発明による「ゲート電極-ゲート絶縁膜-半導体SiC(MOS)構造体」およびその製造方法では、上記の問題が全て解決されている。

【0057】また、本実施の形態では、Ar雰囲気中で1000℃で2分間のコンタクト・アニールを加えている。この熱処理条件および接触の形成方法は、n<sup>+</sup>SiCに低抵抗オーミック接触を実現する最適な製造方法である。したがって、本実施の形態においては、SiC基板裏面に極めて低抵抗のオーミック接触が得られる。言いかえると、本発明は前記①〜③の問題を接触抵抗の増大を招くことなく、解決しているといえる。

【0058】これに加えて、着目すべき重要な点は、本実施の形態はコンタクト・アニールのみならず、実デバイスにおいてゲート絶縁膜がよく経路する上述したその他のすべての熱工程、例えば、多結晶シリコン膜の成膜、同膜へのリン不純物添加ドライブイン、層間絶縁膜の堆積、同膜の高密度化熱処理に対しても、問題①〜③を解決している、ということである。

【0059】さらに、図14のI-V特性(下のグラフ)見ると、従来技術では、急速加熱処理をしていないゲート絶縁膜であっても、最大でも40V程度であり、また、低電圧で破壊するものや高いリーク電流を示す不良が相当数含まれていることがわかる。これに比べて、本実施の形態のゲート絶縁膜の絶縁破壊電圧はすべてが40V以上と高く、最もよいものは54Vをも越えるものが得られている。また、リーク電流はどれも小さく、真因性の電流である。このように、本発明による炭化珪素半導体装置(ゲート電極-ゲート絶縁膜-半導体SiC構造体)およびその製造方法は、従来技術のゲート絶縁膜に比べて良好な特性を示し、ゲート絶縁膜形成後の熱処理やドライエッチングを含むデバイス製造工程を経ても、その良好な特性を最後まで維持できる、という優れた効果を有している。

【0060】(第2の実施の形態)本発明の第2の実施

の形態は、例えば特開平10-308510号公報に開示されているようなnチャネルタイプのプレーナ型パワーMOSFETに、良好なゲート絶縁膜特性ならびにMOS界面特性を実現するために、本発明を適用した例である。図6はパワーMOSFETの要部断面図である。図6において、21は高不純物濃度(窒素 $>1 \times 10^{-19}/cm^3$ )のn<sup>+</sup>型SiC基板であり、表面(図中上面側主面)に厚み10μmで、窒素を $4 \times 10^{-15}/cm^3$ 添加した第1のn<sup>-</sup>エピタキシャル層22をホモエピタキシャル成長させている。このSiC基板21としては、4H、6H、3C、15Rなど全ての晶系(Hは六方晶、Cは立方晶、Rは菱面体晶を意味する)の基板を用いることができる。

【0061】第1のn<sup>-</sup>エピタキシャル層22の表層部における所定領域には、所定深さを有するp型不純物をわずかに添加したp<sup>-</sup>ベース領域23aおよび23bが離間して形成されている。また、p<sup>-</sup>ベース領域23a、23bの表層部所定領域には、p<sup>-</sup>ベース領域よりも浅いn<sup>+</sup>ソース領域24a、24bが形成されている。さらに、n<sup>+</sup>型ソース領域24aと24bに接し、第1のn<sup>-</sup>エピタキシャル層22とp<sup>-</sup>ベース領域23a、23bの表層には第2のn<sup>-</sup>エピタキシャル層素片25が延設されている。この第2のn<sup>-</sup>エピタキシャル層素片25は、デバイスの動作時にデバイス表面においてチャネル形成層として機能する。このn<sup>-</sup>エピタキシャル層素片25の不純物濃度は、 $1 \times 10^{15}/cm^3 \sim 1 \times 10^{17}/cm^3$ の間の低濃度であり、かつ、p<sup>-</sup>ベース領域23a、23bの不純物濃度以下であるものとする。また、p<sup>-</sup>ベース領域23a、23b、n<sup>+</sup>ソース領域24a、24bの上部には凹部36a、36bが形成されている。

【0062】第2のn<sup>-</sup>エピタキシャル層素片25およびこの外縁部を除くp<sup>-</sup>ベース領域23a、23b、n<sup>+</sup>ソース領域24a、24bの上部には厚み数100nm以上のフィールド絶縁膜26が配設されている。このフィールド絶縁膜26はSiC基板21の表面を熱酸化して形成した薄い下部絶縁膜27の上にSiCの熱酸化以外の手段(たとえば減圧CVD法など)で形成した厚い上部絶縁膜28を積層した構造になっている。また、29はフィールド絶縁膜26に開けられたゲート開口部、30はゲート開口部底面に形成されたゲート絶縁膜である。このゲート絶縁膜30は成膜中あるいは成膜後に酸素原子を含む酸化ガス中に直接さらして、熱処理された膜であることを要する。ゲート絶縁膜30の上には、ゲート開口部29を完全に被覆し、かつ、一部がフィールド絶縁膜26上に延伸するように配置された多結晶シリコンのゲート電極31が設けられている。このゲート電極31およびフィールド絶縁膜26の上には層間絶縁膜32が成膜されている。

【0063】33a、33bは、フィールド絶縁膜26



および層間絶縁膜32に開けられ、ソース/ベース領域に貫通するソース開口部である。ソース開口部33a、33bはの底部にはソース電極34a、34bがある。このソース電極34a、34bはNiなどの接触金属を配設した後、急速高温過熱処理（例えば2分間で1000℃）でSiC（ソース層およびベース層）と合金化させることによって形成する。また、35は配線であり、ソース開口部33a、33bを介してソース電極34a、34bを同一基板上の他の回路要素や外部回路に接続する。

【0064】なお、この図には表示されていないが、多結晶シリコンのゲート電極31の延伸部分上部の層間絶縁膜32には、ゲート電極開口部が開けられていて、ゲート電極開口部底部のゲート電極上にも多結晶シリコンと合金化したNiからなる接点電極が置かれている。この接点電極とゲート電極開口部を介してゲート電極31と同一基板上の他の回路要素や外部回路に接続するための第2の配線（図示せず）が層間絶縁膜32に載置されている。

【0065】一方、SiC基板21の裏面の37は、基板周縁を残してほぼ全域に配置したドレイン電極である。このドレイン電極37は、Niなどの接触金属を基板裏に蒸着した後、急速過熱処理でSiC21と合金化させることによって形成する。なお、接触金属がSiC基板21側面に付着するおそれがない場合には、接触金属を基板の裏面全面に配設するようにしてもよい。

【0066】次に、本発明を適用したプレーナ型パワーMOSFETの製造方法を説明する。図7～図10は上記製造方法の工程を示す断面図である。まず、図7

(a)では、n<sup>+</sup>SiC基板21に第1のn<sup>-</sup>エピタキシャル層22、p<sup>-</sup>ベース領域23aおよび23b、n<sup>+</sup>ソース領域24a、24b、第2のn<sup>-</sup>エピタキシャル層素片25、基板凹部36a、36bを形成する。なお、第1、第2のn<sup>-</sup>エピタキシャル層の成長に伴って形成されるSiC基板21裏面の低品質のエピタキシャル層は前記第1の実施の形態で説明した手順で取り除かれているものとする。なお、以下の説明において、特に断らない場合は、SiC基板21にエピタキシャル層22やその他の膜や電極が形成されたものを基板と呼んでいる。

【0067】次に、図7(b)では、RCA洗浄などで十分洗浄した基板をドライ酸素雰囲気中で熱酸化して基板表面並びに裏面に熱酸化膜を成長し、緩衝フッ酸溶液を用いて直に取り除く。この時、すでに述べた理由により、熱酸化膜の厚みは50nm未満、好ましくは5～20nmが望ましい。犠牲酸化が終了した基板を再び、RCA洗浄などで十分洗浄した後、基板表面に薄い下部絶縁膜27と厚い上部絶縁膜28からなるフィールド絶縁膜26を成膜する。下部絶縁膜27は、基板表面を酸素雰囲気中でドライ酸化して形成した約10nmの熱酸化膜

であり、上部絶縁膜28は熱酸化以外の方法で形成した所望の厚みの絶縁膜、たとえば、酸素とシランを用いた常圧CVDで形成した400nm厚のSiO<sub>2</sub>膜などを使用することができる。下部絶縁膜27の厚みは、50nm未満、好ましくは5～20nmが望ましい。下部絶縁膜27の熱酸化はドライ酸化に限定されるものではなく、ウェット酸化や他の酸化ガスを用いた熱酸化でもよい。また、基板表面に下部絶縁膜27を成長させてから、上部絶縁膜28を成膜してもよいし、逆に、上部絶縁膜28を成膜してから熱酸化して、基板と上部絶縁膜28との間に下部絶縁膜（熱酸化膜）27を形成してもよい。なお、図中101は下部絶縁膜27を形成する際に基板裏面に自動的に形成される第1の一過性熱酸化膜である。この一過性熱酸化膜101は、工程(a)で生じた基板裏面の相当深い研磨損傷層を効果的に取り除く効果がある。

【0068】次に、図7(c)では、基板表面にフォトリソレジストを塗布し、露光し、現像し、基板を緩衝フッ酸溶液に浸漬してウェットエッチングすることで、フィールド絶縁膜26の所定の位置にゲート開口部29を形成する。第1の一過性熱酸化膜101はここで消失する。また、微細なゲート開口部29を形成するときは、CF<sub>4</sub>ガスプラズマなどを用いた反応性イオンエッチング等のドライエッチングを用いることもできるが、この場合には、最初にドライ・エッチングを行い、フィールド絶縁膜を数100nm残したところで、必ず、上記緩衝フッ酸溶液を用いたウェット・エッチングに切り換えるようにする。エッチングが終了したらフォトリソレジストを剥離する。

【0069】次に、図8(d)では、レジスト残滓で汚れた基板を再びRCA洗浄などで十分洗浄するとともに、洗浄の最終段階において、RCA洗浄で開口部表面に生成した化学的酸化膜を除去するために緩衝フッ酸溶液に5秒～10秒間浸し、超純水で緩衝フッ酸溶液を完全にすすぎ落とした後、乾燥する。乾燥した基板は直ちに熱酸化して、ゲート開口部29の基板表面に所望の厚み（たとえばここでは40nm厚）のゲート絶縁膜30を成長させる。ゲート酸化の条件としては、これに限定されるわけではないが、たとえば、温度1100℃でのドライ酸化がよい。ここでコンタクト・アニールのような急速高温加熱処理に耐えられるゲート絶縁膜30を実現するための重要なポイントは、熱酸化温度は後続の全ての工程のどの熱処理温度よりも高く設定するということである。本実施の形態では、後に、裏面のドレイン電極37のオーミック接触を実現するために、1000℃の急速加熱処理を実施するので、1100℃という酸化温度が選ばれた。なお、素子によっては表面荒れが著しくなる50nm以上のゲート絶縁膜30にしたい場合がある。この場合はSiCの熱酸化膜の上に他の成膜手段で形成した絶縁膜（たとえば、CVD-SiO<sub>2</sub>膜）を

積層し、所望の厚みにする。また、102は熱酸化でゲート絶縁膜を形成するときに基板裏面に自動的に生成される比較的厚い第2の一過性熱酸化膜である。

【0070】次に、図8(e)では、ゲート絶縁膜30を形成し終わったら直ちに基板の表面および裏面全面にシラン原料を用いた減圧CVD法(成長温度600℃~700℃)で厚み300~400nmの多結晶シリコン膜103を成膜し、その後、塩素酸リン(POCl<sub>3</sub>)と酸素を用いた周知の熱拡散法(処理温度900℃~950℃)で多結晶シリコン膜にP(リン)を添加し、導電性を付与する。つづいて、基板表面にフォトレジストを塗布して、フォトリソグラフィと、C<sub>2</sub>F<sub>6</sub>と酸素をエッチャントとした反応性イオンエッチング(RIE)を用いて、基板表面側の多結晶シリコン膜の不要な部分を取り除き、ゲート電極31を形成する。

【0071】次に、図8(f)では、RIEエッチングに使用したレジストを完全に除去した後、基板をRCA洗浄し、清浄化したところで、基板表面のゲート電極31およびフィールド絶縁膜26の上部に層間絶縁膜32を堆積する。この層間絶縁膜32としては、シランと酸素を原料とした常圧CVD法で形成した約1μm厚のSiO<sub>2</sub>膜あるいは更にリンを添加したリン珪酸ガラス(PSG)などが適しているが、これに限定されるものではない。この後、基板を通常の拡散炉に入れ、N<sub>2</sub>雰囲気中で数10分間の穏やかな熱処理を行い、層間絶縁膜32を高密度化する。この時の熱処理温度は900℃~1000℃の範囲で適宜選ばれる。

【0072】次に、図9(g)では、基板の表面にフォトレジストを塗布し、露光し、現像し、基板を緩衝フッ酸溶液(NH<sub>4</sub>F+HF混合液)に浸漬してウェットエッチングすることで、層間絶縁膜32およびフィールド絶縁膜26の所定の位置にソース開口部33a、33bとゲート電極開口部(図示せず)を形成する。ゲート電極開口部の上部には層間絶縁膜32のみしかないので、フィールド絶縁膜26も存在するソース開口部に比べて早目に貫通するが、下には緩衝フッ酸溶液に侵されない多結晶シリコンのゲート電極31があるので、エッチングは多結晶シリコンに到達した時点で自動的に停止する。微細な開口部を形成するときには、CF<sub>4</sub>ガスプラズマなどを用いた反応性イオンエッチング等のドライ・エッチングを用いることができるが、この場合、最初にドライ・エッチングを行い、ソース開口部33a、33b上のフィールド絶縁膜を数100nm残したところで、必ず、上記緩衝フッ酸溶液を用いたウェット・エッチングに切り換えるようにする。

【0073】エッチングが終了したら、基板を十分濯いで乾燥させ、直ちに、エッチングマスクとしてのフォトレジストが付いたままの基板を高真空中に維持された蒸着機に設置して、基板表面に接触金属104、たとえば、50nm厚のNiを全面蒸着する。開口エッチングと接

触金属の蒸着との間の放置時間はソース電極の接触抵抗の大きさを左右する極めて重要な因子である。この時間が長いと、開口部のSiC表面に自然酸化膜が生成されたり、ハイドロ・カーボンが再付着したりして、これが原因となって後述の合金層の均一形成が妨げられ、接触抵抗を大幅に増加させたり、ばらつかせたりする。したがって開口部エッチング後は可能な限り早く接触金属104を被着させる必要がある。蒸着が終了したら、基板を専用のフォトレジストストリッパに浸漬し、基板表面に残されているフォトレジストを完全に除去する。それにより、フォトレジストの上に被着した接触金属104も同時に除かれ、ソース開口部33a、33b上およびゲート電極開口部の底面にのみ接触金属104を残した基板構造ができあがる。

【0074】次に、図9(h)では、基板を十分濯いで、乾燥させた後、表面全面に厚み1μm以上の保護用レジスト材(フォトレジストでよい)を塗布して、一旦緩衝フッ酸溶液に浸漬し、裏面側の多結晶シリコン膜103の上に形成されたSiO<sub>2</sub>膜を除く。つづいて、裏面側多結晶シリコン膜103を、CF<sub>4</sub>とO<sub>2</sub>を用いたドライエッチングで、完全に除去する。ドライエッチング中に起きるおそれのあるプラズマダメージや帯電から接触金属104とゲート絶縁膜の劣化を防止するために、レジストによる表面保護工程は必ず必要である。

【0075】次に、基板を緩衝フッ酸に浸して多結晶シリコン膜103の内側に形成されていた第2の一過性熱酸化膜102を落して、基板裏面に清浄な結晶面を露出させる。そして緩衝フッ酸溶液を超純水で完全に濯ぎ落して、乾燥させたところで、速やかに基板を高真空中に維持された蒸着装置の中に据え付け、裏面に所望の裏面接触金属105を蒸着する。この裏面接触金属105(裏面電極)の材料としては、たとえば、50nm厚のNi膜がある。なお、基板側面に電極材料が付着するおそれがある場合には、周辺部をシャドーマスクを使用して外縁部を隠蔽して蒸着を行う。図9(h)はシャドーマスクを使用して裏面電極を蒸着した例を示している。

【0076】次に、図9(i)では、表面保護に使用したレジストを当該レジストの専用ストリッパ液で完全に剥離し、基板を十分濯いでから乾燥させ、直ちに急速加熱処理装置に設置して、高純度Ar雰囲気中で1000℃、2分間の急速高温加熱処理(コンタクト・アニール)を実施する。この熱処理によって、ソース開口部33a、33b、ゲート電極開口部(図示せず)ならびに裏面の接触金属104、105(Ni膜)は、それぞれn<sup>+</sup>ソース領域のSiC、n<sup>+</sup>多結晶シリコン、n<sup>+</sup>SiC裏面と同時に合金化し、極めて低抵抗を示すソース電極34a、34b、ゲート電極接触(図示せず)、ドレイン電極37を形成する。このとき、ゲート絶縁膜30を多結晶シリコンのゲート電極31で全面被覆したゲート電極-ゲート絶縁膜-半導体SiC(MOS)の構

造体全体も同時に加熱される。

【0077】次に、図10(j)では、コンタクト・アニールが済んだ基板を高真空に維持されたマグネトロンスパッタリング装置に速やかに据え付け、基板の層間絶縁膜32およびソース開口部33a、33bの上部全面に所望の配線材料、たとえばAlを1 $\mu$ m厚に蒸着する。この後、Al膜を成膜させた基板表面にフォトレジストと塗布し、露光し、現像して、エッチングのレジストマスクを形成した後、基板裏面に裏面電極保護用のフォトレジストを塗布して、このレジストを十分乾燥させてから、リン酸系のエッチング液を用いてAl膜をパターン化し、配線35を形成する。裏面のレジストはドレイン電極37がリン酸系のエッチング液に溶出して、消失したり変質したりするのを防止する目的で形成されるが、このおそれがない場合やAl膜をRIE(ドライ)でエッチングするときには、省略することができる。最後にレジストマスクとドレイン電極保護に使用した保護レジストを専用ストリッパ液で完全に除去し、基板を十分濯いでから乾燥させる。こうして、前記図6に示した本発明のプレーナ型パワーMOSFETが完成する。

【0078】このようにして製作したプレーナ型パワーMOSFETのゲート絶縁膜のI-V特性および高周波C-V特性を評価したところ、それぞれ、前記図4、図5と同等の特性が得られた。なお、この測定の際には、測定に便利ように、p-ベース23aとp-ベース23bの離間距離を200 $\mu$ mと特別に大きくした試料を用いている。

【0079】上記のように、プレーナ型パワーMOSFETに本発明を適用した場合においても、第1実施の形態で説明したMOSキャパシタと同等の効果が得られる。この結果は、両デバイスのゲート開口部周辺の構造とプロセスを対比すると、予期される結果であることが理解できる。すなわち、図6のn<sup>+</sup>ソース領域24a、24b、p-ベース領域23a、23bはn型不純物、p型不純物を添加した領域であるが、図6と図7で説明したとおり、その母体はn<sup>-</sup>エピタキシャル層(25あるいは37)である。すなわち、本発明による図6のプレーナ型パワーMOSFETのゲート開口部(外縁部を含む)の断面構造は、前記第1実施形態にかかるMOSキャパシタのゲート開口部(外縁部を含む)の断面構造と異なるところがない。

【0080】また、プレーナ型パワーMOSFETの製造プロセスと前記MOSキャパシタの製造プロセスを比較すると、ゲート絶縁膜を形成してから層間絶縁膜を形成するまでの工程は全く同じである。その後の工程もMOSFETではソース接触金属(Ni)104およびゲート電極の接触金属(図示せず)をソース開口部33a、33b底とゲート電極開口部底に同時形成する工程が挿入されているが、この工程は室温でのプロセスなので、高温での熱処理履歴という観点から比較すると、

両者は同じである。

【0081】さらに、本発明第2の実施の形態は、第1実施の形態と共通する効果を有するのに加えて、従来のプレーナ型を含めたSiC縦型MOSFET固有の以下の問題点を解決できるので説明する。図16は特開平10-308510号公報で開示されているSiCを用いた典型的なパワーMOSFETの模式的要部断面図である。構造を簡単に説明すると、1'はn<sup>+</sup>型六方晶系炭化珪素半導体基板で上面を主表面1a'とし、主表面の反対面である下面を裏面1b'としている。このn<sup>+</sup>型炭化珪素半導体基板1'の主表面1a'上に、基板1'よりも低いドーパント濃度を有するn<sup>-</sup>型炭化珪素エピタキシャル層2'が積層されている。n<sup>-</sup>型炭化珪素エピタキシャル層2'の表層部における所定領域には、所定深さを有するp<sup>-</sup>型炭化珪素ベース領域3a'およびp<sup>-</sup>型炭化珪素ベース領域3b'が離間して形成されている。また、p<sup>-</sup>型炭化珪素ベース領域3a'の表層部における所定領域には、ベース領域3a'よりも浅いn<sup>+</sup>型ソース領域4a'が、また、p<sup>-</sup>型炭化珪素ベース領域3b'の表層部における所定領域には、ベース領域3b'よりも浅いn<sup>+</sup>型ソース領域4b'が形成されている。さらに、n<sup>+</sup>型ソース領域4a'とn<sup>+</sup>型ソース領域4b'との間におけるn<sup>-</sup>型炭化珪素エピタキシャル層2'およびp<sup>-</sup>型炭化珪素ベース領域3a'、3b'の表面部にはn<sup>-</sup>型SiC層5'が延設されている。つまり、ベース領域3a'、3b'の表面部においてソース領域4a'、4b'とn<sup>-</sup>型炭化珪素エピタキシャル層2'とを繋ぐようにn<sup>-</sup>型SiC層5'が配置されている。また、p<sup>-</sup>型炭化珪素ベース領域3a'、3b'、n<sup>+</sup>型ソース領域4a'、4b'の表面部には凹部6a'、6b'が形成されている。表面チャネルエピタキシャル層5'の上面およびn<sup>+</sup>型ソース領域4a'、4b'の上面にはゲート絶縁膜(シリコン酸化膜)7'が形成されている。さらに、ゲート絶縁膜7'の上にはポリシリコンのゲート電極8'が形成されている。ゲート電極8'は絶縁膜9'にて覆われている。絶縁膜9'としてはLTO(Low Temperature Oxide)膜が用いられている。その上には内部配線を兼ねるソース電極10'が形成され、ソース電極10'はn<sup>+</sup>型ソース領域4a'、4b'およびp<sup>-</sup>型炭化珪素ベース領域3a'、3b'と接している。また、n<sup>+</sup>型炭化珪素半導体基板1'の裏面1b'には、ドレイン電極層11'が形成されている。

【0082】周知のとおり、パワーMOSFETのように大電流を制御する素子では、熱損失を小さくするために、できるだけ接触抵抗を低減することが望ましい。たとえば逆方向耐電圧1kV級素子では、ソース/ドレインの接触抵抗を少なくとも10<sup>-5</sup> $\Omega$ cm以下に低減する必要がある。この目的に適うソース/ドレインへの接触金属としては、Crofton等が調査して総合報告(Phys.

Stat. Sol., 202, p.581 (1997))で論じているように、現在のところNiしかない。ところが、接触金属として有望なNiを、内部配線を兼ねるソース電極10として使用すると、Niが下部のLTO膜(シリコン酸化膜)9との密着強度が弱いので、LTO膜上のNiがはがれ、その結果、SiC上のNiもはがれるという問題があり、また、コンタクト・アニールを行うと、下部のLTO膜(シリコン酸化膜)が還元され侵食される、という問題もある。

【0083】これに対して、本発明第2実施の形態においては、図6および図9(g)から明らかなように、ソースの接触金属(Ni)104は、シリコン酸化膜=層間絶縁膜32の上には形成されない構造をしている上に、コンタクト・アニール等の高温あるいは急激な熱処理は配線35を積層する前に行う、という2重の予防措置、つまり①ゲート絶縁膜上に劣化の原因となるNiなどの配線を置かない構造、②急速高温加熱処理をするのは上部に配線を形成する前に行う、という構成を用いているので、上記のような問題は全く起きない。すなわち、本発明第2の実施の形態にかかるMOSFETは、これら従来のMOSFETの問題点を解決できるという特別な効果も有している。

【0084】また、特開2000-200907号公報では、図16(特開平10-308510号公報)のMOSFETに光を照射すると、フラットバンド電圧が正方向に大きくシフトする不良があることを指摘するとともに、これを解決するために表面チャネル層窒素のドーピング濃度を $1 \times 10^{-15} \text{ [}/\text{cm}^3 \text{]}$ 以下にする解決策を提案している。しかし、この方法では、MOSFETの閾値電圧制御や埋め込みチャネルの形成するイオン注入工程において、イオン注入種(n型ドーパント)としての窒素Nを使用することを禁じた等しい措置であり、MOSFETの製造技術上重大な制約を科すことになっている。

【0085】しかしながら、本発明第2の実施の形態にかかるパワーMOSFETにおいては、 $10^{-15} \text{ [}/\text{cm}^3 \text{]}$ あるいはこれ以上のエピタキシャル層を用いてMOSFETを構成しても、光照射でフラットバンド電圧が大きくシフトする現象は観察されない。すなわち、本発明第2の実施の形態にかかるパワーMOSFETの構造およびその製造方法は、図16の構成のMOSFETが陥っていた光を照射するとフラットバンド電圧が正方向に大きくシフトするという問題を解決することができるという効果を有するものである。と同時に、本発明第2の実施の形態にかかるパワーMOSFETの構造およびその製造方法は、特開2000-200907号公報において、この問題の解決のために科せられたドーパント窒素N使用の制約をも解き放ち、イオン注入種としての窒素Nの使用も可能にするという優れた効果も具有している。

【0086】(第3の実施の形態)本発明の第3の実施の形態は、nチャネルタイプのプレーナ型パワーIGBT(Insulated Gate Bipolar Transister)に、良好なゲート絶縁膜特性ならびにMOS界面特性を実現するために、本発明を適用した例である。図11はプレーナ型パワーIGBTの要部断面図である。この構造は前に説明したプレーナ型パワーMOSFETの構造(図6)と酷似しているが、これは偶然ではない。というのもIGBTは、MOSFETとバイポーラトランジスタとの複合デバイスであり、技術的には、nチャネルMOSFETのドレイン側n<sup>+</sup>基板21をp<sup>+</sup>基板41に換えることで伝導度変調効果を誘起して、第1のn<sup>-</sup>エピ層22の抵抗成分を激減させることを狙って発明されたデバイスであるからである。

【0087】図11において、41は低抵抗のp<sup>+</sup>SiC基板であり、表面(図中上面側主面)に厚み $10 \mu\text{m}$ で、窒素を $4 \times 10^{-15} \text{ [}/\text{cm}^3 \text{]}$ 添加した第1のn<sup>-</sup>エピタキシャル層22をホモエピタキシャル成長させている。このp<sup>+</sup>SiC基板41はp型不純物としてAlが濃度 $1 \times 10^{-19} \text{ [}/\text{cm}^3 \text{]}$ 以上添加されており、4H、6H、3C、15Rなど全ての晶系(Hは六方晶、Cは立方晶、Rは菱面体晶を意味する)の基板を用いることができる。また、n<sup>-</sup>エピタキシャル層22の表層部における所定領域には、所定深さを有するp型不純物をわざわざに添加したp<sup>-</sup>ベース領域23aおよび23bが離間して形成されている。また、p<sup>-</sup>ベース領域23a、23bの表層部所定領域には、p<sup>-</sup>ベース領域よりも浅いn<sup>+</sup>エミッタ層44a、44bが形成されている。さらに、n<sup>+</sup>型エミッタ層44aと44bに接し、第1のn<sup>-</sup>エピタキシャル層22とp<sup>-</sup>ベース領域23a、23bの表層には第2のn<sup>-</sup>エピタキシャル層素片25が延設されている。この第2のn<sup>-</sup>エピタキシャル層素片25は、デバイスの動作時にデバイス表面においてチャネル形成層として機能する。このn<sup>-</sup>エピタキシャル層素片25の不純物濃度は、 $1 \times 10^{15} \text{ [}/\text{cm}^3 \text{]}$ ~ $1 \times 10^{17} \text{ [}/\text{cm}^3 \text{]}$ の間の低濃度であり、かつ、p<sup>-</sup>ベース領域23a、23bの不純物濃度以下であるものとする。p<sup>-</sup>ベース領域23a、23b、n<sup>+</sup>エミッタ層44a、44bの上部には基板凹部36a、36bが形成されている。

【0088】第2のn<sup>-</sup>エピタキシャル層素片25およびこの外縁部を除くp<sup>-</sup>ベース領域23a、23b、n<sup>+</sup>エミッタ層44a、44bの上部には厚み数100nm以上のフィールド絶縁膜26が配設されている。このフィールド絶縁膜26はp<sup>+</sup>SiC基板41(正確にはn<sup>-</sup>エピタキシャル層22)の表面を熱酸化して形成した薄い下部絶縁膜27の上にSiCの熱酸化以外の手段(たとえば減圧CVD法など)で形成した厚い上部絶縁膜28が積層した構造になっている。

【0089】また、29はフィールド絶縁膜26に開け

られたゲート開口部、30はゲート開口部底面に形成されたゲート絶縁膜である。このゲート絶縁膜30は成膜中あるいは成膜後に酸素原子を含む酸化ガス中に直接さらして、熱処理された膜であることを要する。ゲート絶縁膜30の上には、ゲート開口部29を完全に被覆し、かつ、一部がフィールド絶縁膜26上に延伸するように配置された多結晶シリコンのゲート電極31が設けられている。ゲート電極31およびフィールド絶縁膜26の上には層間絶縁膜32が成膜されている。

【0090】また、43a、43bは、フィールド絶縁膜26および層間絶縁膜32に開けられ、エミッタ/ベース領域に貫通するエミッタ開口部である。エミッタ開口部43a、43bの底部にはエミッタ電極44a、44bがある。このエミッタ電極44a、44bはNiなどの接触金属を配設した後、急速高温過熱処理でSiCと合金化させることによって形成する。また、35は配線であり、エミッタ開口部43a、43bを介してエミッタ電極44a、44bを同一基板上の他の回路要素や外部回路に接続する。

【0091】なお、この図には表示されていないが、ゲート電極31の延伸部分上部の層間絶縁膜32にはゲート電極開口部が開けられていて、ゲート電極開口部底部のゲート電極上にも多結晶シリコンと合金化したNiからなる接点電極が置かれている。そして、この接点電極とゲート電極開口部を介してゲート電極31と同一基板上の他の回路要素や外部回路に接続するための第2の配線（図示せず）が層間絶縁膜32に載置されている。

【0092】一方、p+ SiC基板41の裏面の47は、基板周縁を残してほぼ全域に配置したコレクタ電極である。このコレクタ電極47はTiとAlを、この順に、それぞれ80nm厚、380nm厚だけ積層したTi/Alなどの接触金属を基板裏に蒸着した後、急速高温過熱処理でp+ SiC基板41と合金化させることによって形成する。

【0093】このIGBTの構造は、図6のMOSFETの構造と若干違っているように思われるが、本質的に違っているのは、SiC基板41がp+ 基板であることと、基板裏面のコレクタ電極47の材料がp型基板にオーミック接触が得やすいTi/Alになっていることの2点だけである。なお、エミッタ開口部43a、43b、エミッタ層44a、44b、エミッタ電極54a、54bなどはIGBTがバイポーラ・デバイスであることからここでは便宜的に命名しただけで、これらは図6のソース開口部33a、33b、ソース領域24a、24b、ソース電極34a、34bと同じ物である。

【0094】次に、図11に示したプレーナ型パワーIGBTの製造方法を、図12と図13を用いて説明する。まず、図12(a)では、p+ SiC基板41に第1のn-エピタキシャル層22、p-ベース領域23aおよび23b、n+エミッタ層44a、44b、第2の

n-エピタキシャル層素片25、基板凹部36a、36bを形成する。ここではSiC基板41の伝導型がp+であることに注意を要する。そして第1、第2のn-エピタキシャル層の成長で形成されたp+ SiC基板41裏面の低品質のエピタキシャル層は前記第1実施の形態で説明した手順で取り除く。なお、以下の説明において、特に断らない場合は、p+ SiC基板41にエピタキシャル層22やその他の膜や電極が形成されたものを基板と呼んでいる。

【0095】次に、前記第2実施の形態の図7(b)～図9(g)で説明した工程と全く同じ製造工程を実施することにより、エミッタ開口部43a、43b上およびゲート電極開口部（図中表示せず）の底面にのみ接触金属(Ni)104を残した基板構造が出来上がる。この状態を図12(g)に示す。

【0096】次に、図12(h)では、基板を十分濯いで、乾燥させた後、表面全面に厚み1μm以上の保護用レジスト材（フォトリソでよい）を塗布して、一旦緩衝フッ酸溶液に浸漬し、裏面側の一過性多結晶シリコン膜103の上に形成されたSiO<sub>2</sub>膜を除く。つづいて、裏面側の一過性多結晶シリコン膜103を、CF<sub>4</sub>とO<sub>2</sub>を用いたドライ・エッチングで、完全に除去する。なお、ドライ・エッチング中に起きるおそれのあるプラズマダメージや帯電から接触金属104とゲート絶縁膜の劣化を防止するために、レジストによる表面保護工程は必ず必要である。

【0097】次に、基板を緩衝フッ酸に浸して一過性多結晶シリコン膜103の下部に形成されていた第2の一過性熱酸化膜102を落して、p+ SiC基板41裏面に清浄な結晶面を露出させる。そして緩衝フッ酸溶液を超純水で完全に濯ぎ落して、乾燥させたところで、速やかに基板を高真空中に維持された蒸着装置の中に据え付け、裏面に所望の裏面接触金属106を蒸着する。裏面電極材料としては、たとえば、TiとAlをこの順に、それぞれ80nm厚、380nm厚だけ積層したTi/Al膜などを用いることが出来る。なお、基板側面に電極材料が付着するおそれがある場合には、シャドーマスクを使用して外縁部を隠蔽して蒸着を行う。なお、図12(h)はシャドーマスクを使用して裏面電極を蒸着した例を示している。基板側面に接触金属106が付着するおそれがないときは、接触金属106を裏面全面に配設するようにしてもよい。

【0098】次に、図13(i)では、表面保護に使用したレジストを当該レジストの専用ストリッパ液で完全に剥離し、基板を十分濯いでから乾燥させ、直ちに急速加熱処理装置に設置して、高純度Ar雰囲気1000℃、2分間の急速高温加熱処理（コンタクト・アニール）を実施する。この熱処理によって、エミッタ開口部43a、43b、ゲート電極開口部（図示せず）の接触金属(Ni)104はそれぞれn+エミッタ層のSi



C、 $n^+$ 多結晶シリコンと合金化し、極めて低抵抗を示すエミッタ電極54a、54b、ゲート電極接触（図示せず）を形成する。同時に、裏面の接触金属（Ti/A1膜）106は $p^+$ SiC基板41裏面と合金化し、極めて低抵抗を示すコレクタ電極47が形成される。このとき、ゲート絶縁膜30を多結晶シリコンのゲート電極31で全面被覆したゲート電極-ゲート絶縁膜-半導体SiC（MOS）構造体全体も同時に加熱される。

【0099】次に、図13（j）では、コンタクト・アニールが済んだ基板を高真空中に維持されたマグネトロンスパッタリング装置に速やかに据え付け、基板の層間絶縁膜32およびエミッタ開口部43a、43bの上部全面に所望の配線材料、たとえばAlを1 $\mu$ m厚に蒸着する。

【0100】この後、Al膜を成膜した基板表面にフォトリソレジストを塗布し、露光し、現像して、エッチングのレジストマスクを形成した後、基板裏面に裏面電極保護用のフォトリソレジストを塗布して、このレジストを十分乾燥させてから、リン酸系のエッチング液を用いてAl膜をパターン化し、配線35を形成する。裏面のレジストはコレクタ電極47がリン酸系のエッチング液に溶出して、消失したり変質したりするのを防止する目的で形成されるが、このおそれがない場合やAl膜をRIE（ドライ）でエッチングするときには、省略することができる。最後にレジストマスクとドレイン電極保護に使用した保護レジストを専用ストリッパ液で完全に除去し、基板を十分濯いでから乾燥させる。こうして、図11に示した本発明に係るプレーナ型パワーIGBTが完成する。本実施の形態においても、その基本構造が同じことから予想されるように、前記第1、第2の実施の形態と同様の効果が得られる。

【0101】（第4の実施の形態）以下、本発明の第4の実施の形態を、最も簡単なMOS素子であるMOSキャパシタに適用した場合を例に挙げて説明する。MOSキャパシタはSiC集積回路において、可変容量素子などとして使用される。図17は本発明を適用したMOSキャパシタの要部断面図である。図17において、201は高不純物濃度（窒素 $>1 \times 10^{-19} / \text{cm}^3$ ）の $n$ 型の単結晶炭化珪素基板（以下、SiC基板と略記する）であり、表面に厚み10 $\mu$ mで、窒素を $4 \times 10^{-15} / \text{cm}^3$ 添加した $n^-$ エピタキシャル層202をホモエピタキシャル成長させている。このSiC基板201としては、4H、6H、3C、15Rなど全ての晶系（Hは六方晶、Cは立方晶、Rは菱面体晶を意味する）の基板を用いることができる。ここで $n^-$ 、 $n^+$ は $n$ 型不純物をそれぞれ低濃度に、高濃度に添加したという意味に用いている。 $p^-$ 型不純物添加の場合は同様に $p^-$ 、 $p^+$ の記号を用いる。

【0102】エピタキシャル層202の上には所望の厚み（たとえば40nm）のゲート絶縁膜203が配設さ

れている。このゲート絶縁膜203は成膜中あるいは成膜後に酸素原子を含むガス中に直接さらして、熱処理された膜であることを要する。ゲート絶縁膜203の上には、所望の形状・面積の多結晶シリコンのゲート電極204が設けられている。ゲート電極204の側面及び上面には多結晶シリコンのゲート電極を熱酸化して形成したゲート電極側面絶縁膜205及びゲート電極上面絶縁膜206がある。ゲート絶縁膜203及びゲート電極側面絶縁膜205、ゲート電極上面絶縁膜206の上には層間絶縁膜207が成膜されている。なお、上記の説明ではエピタキシャル層202の上に形成した絶縁膜全体をゲート絶縁膜203としているが、実際にゲート絶縁膜として動作する部分はゲート電極204下のゲート領域に位置する部分のみである。

【0103】また、208は裏面電極であり、SiC基板201の裏面全面に配置されたオーミック電極である。この裏面電極208は、NiやCoなどの接触金属をSiC基板201の裏に蒸着した後、ゲート絶縁膜203の形成温度よりも低い温度の急速過熱処理でSiC基板201と合金化させることによって形成する。209は層間絶縁膜207に開口したゲート電極結線開口部、210はゲート電極204を同一基板上の他の回路要素や外部回路に接続するための配線で、AlやAl-Si共晶体などの材料を用いることができる。

【0104】次に、図17に示したMOSキャパシタの製造方法を説明する。図18及び図19は、図17に示したMOSキャパシタの製造方法を示す断面図である。まず、図18（a）では、ドナー原子である窒素を $1 \times 10^{19} / \text{cm}^3$ 以上添加した（0001）面 $8^\circ$  OFF高濃度 $n$ 型4H-SiC基板201の表面（ここではSi終端面）にシランとプロパンを原料に用いたCVD法（化学的気相成長法）で、 $10^{15} / \text{cm}^3$ 台の高品質ホモ・エピタキシャル層202を所定の膜厚（たとえばここでは10 $\mu$ m）だけ成長させ、成長後、SiC基板201の裏面（ここではC終端面）に付着した低品質のホモエピタキシャル膜を機械研削で取り除く。研磨にあたっては、ゲート絶縁膜203の電気特性の劣化の一要因となる傷がエピタキシャル層202につかないように、表面を厚い（少なくとも1 $\mu$ m以上の）CVD-SiO<sub>2</sub>膜などで保護することが重要である。裏面研削後、この表面保護膜を緩衝フッ酸溶液など、その材質に適した除去液で取り除く。なお、以下の説明において、特に断らない場合は、SiC基板201にエピタキシャル層202やその他の膜や電極が形成されたものを基板と呼んでいる。

【0105】次に、基板をRCA洗浄（H<sub>2</sub>O<sub>2</sub> + NH<sub>4</sub>OH混合液SC-1とH<sub>2</sub>O<sub>2</sub> + HCl混合液SC-2を組み合わせて行う伝統的な半導体基板の洗浄法）などで十分洗浄した後、ドライ酸素雰囲気中で熱酸化してエピタキシャル層202の表面並びに基板裏面に熱酸化膜を

成長させ、緩衝フッ酸溶液に浸漬して成長させ、熱酸化膜を完全に取り除き、緩衝フッ酸溶液を超純水で十分すすぎ落とししてから、乾燥させる。この時、エピタキシャル層202の表面に薄い酸化膜が成長するように酸化条件を設定する。上記熱酸化膜の厚みは50nm未満、好ましくは5~20nmが望ましい。5nmより薄い場合は基板表面の汚染層や損傷層を除去する効果が乏しく、50nmより厚い場合は過度な酸化により基板表面が次第に荒れるという問題があり、膜厚は厚すぎても、薄すぎても好ましくない。

【0106】上記のように、ゲート酸化膜が形成される以前の段階において、単結晶SiC基板表面の汚染層および結晶欠陥層を除去することにより、後に熱酸化で形成されるゲート絶縁膜に潜在欠陥が取りこまれる確率は低減するので、この潜在欠陥が急速加熱を含む高温加熱処理で顕在化する機構で誘発されるゲート絶縁膜の劣化、すなわち、①ゲート絶縁膜の絶縁破壊電圧が低下する、②リーク電流が増大する、という問題を効果的に低減することができる。また、上記熱酸化の際に生じる裏面の熱酸化膜は無意味なものではなく、図18(a)に示した工程における基板裏面研削で誘起した基板裏面の相当深い損傷層を効果的に取り除く作用を有している。文献によれば6H-SiC基板のC終端面(裏面)にはSi終端面の約10倍の速度で酸化が進むと報告されている。

【0107】次に、図18(b)では、乾燥した基板を直ちに熱酸化して、エピタキシャル層202表面に所望の厚み(たとえばここでは40nm厚)のゲート絶縁膜203を成長させる。ゲート酸化の条件としては、これに限定されるわけではないが、温度1100℃でのドライ酸化などがよい。コンタクト・アニール等の急速熱処理に耐えられるゲート絶縁膜を実現するための本工程の重要な注意点は、熱酸化温度は後続の全ての工程のどの熱処理温度よりも高く設定するという点である。本実施の形態では、後に、裏面電極の低抵抗のオーミック接触を実現するために、1000℃の急速加熱処理を実施するので、1100℃という酸化温度が選ばれた。なお、基板の表面荒れが著しくなる50nm以上のゲート絶縁膜にしたい場合には、SiCの熱酸化膜の上に他の成膜手段で形成した絶縁膜(たとえば、CVD-SiO<sub>2</sub>膜)を積層し、所望の厚みにする。

【0108】また、301は熱酸化でゲート絶縁膜を形成するときに基板裏面に自動的に生成される比較的厚い一過性の熱酸化膜であるが、前述の一過性の熱酸化膜同様に研削損傷層を取り除く効果のほかに、後記の工程(c)で説明する裏面の多結晶シリコンを除去する時のドライエッチング損傷から基板裏面を保護する重要な機能がある。この酸化膜保護が無いと、基板裏面の結晶性が乱れて、図19(e)の工程で形成する裏面電極208の接触抵抗が増大したり、表面平坦性が低下するとい

う問題が起こる。

【0109】次に、図18(c)では、直ちに基板表裏全面にシラン原料を用いた減圧CVD法(成長温度600℃~700℃)で、厚み300~400nmの多結晶シリコン膜を成膜した後、塩素酸リン(POCl<sub>3</sub>)と酸素を用いた周知の熱拡散法(処理温度900℃~950℃)で上記多結晶シリコン膜に不純物Pを縮退するまで添加し、導電性を付与する。つづいて、基板表面にフォトリソグرافィおよびC<sub>2</sub>F<sub>6</sub>と酸素をエッチャントとした反応性イオンエッチング(RIE)を用いて、基板表面側の多結晶シリコン膜の不要な部分を取り除き、ゲート電極204を形成する。なお、基板裏面に形成された多結晶シリコン膜302は後の工程で除去される一過性の導電体膜である。

【0110】次に、RIEで使用したレジスト・マスクを完全に除去した後、基板を上述のRCA洗浄で十分洗浄し、超純水で十分にすすぎ乾燥させた後、900℃のドライ酸素雰囲気中で熱酸化して多結晶シリコンのゲート電極の側面に50nm~100nmのゲート電極側面絶縁膜205を成長させる。このとき同時に、ゲート電極の上にはゲート電極上面絶縁膜206が、裏面の一過性の多結晶シリコン膜302の外側には一過性の多結晶シリコン熱酸化303が生成される。なお、ゲート電極側面絶縁膜205は上部及び側面から同時に酸化され、酸化が速く進む結果、図18(c)に示すようにゲート電極上面に比べてやや上に突起した構造になる。

【0111】ゲート電極204をRIEなどのドライエッチングで形成するときに、ゲート電極外縁近傍(上にゲート電極があり、ゲート電極の外縁に近い帯状の微小領域)のゲート絶縁膜203はイオン衝撃や金属汚染を受けて劣化し、これがゲート絶縁膜203のリーク電流を増大させたり、絶縁破壊電圧を急落させる要因となる。本発明では上記多結晶シリコンの熱酸化工程でこの問題の解決を図っている。すなわち、イオン衝撃や金属汚染で劣化したゲート酸化膜帯状領域の直上の多結晶シリコンを非導電性の酸化物(SiO<sub>2</sub>)であるゲート電極側面絶縁膜205に完全に転化させ、劣化領域の上にはゲート電極203が配設されないようにしている。言い換えると、ゲート電圧を印加しても、劣化したゲート絶縁膜帯状領域には正味、電界が発生しない構造を確立して、ここを起点にゲート絶縁膜203がリークしたり破壊したりしないようにしているのである。このようにして、上記多結晶シリコンの熱酸化は、ゲート電極204のドライエッチングで誘起したゲート酸化膜劣化が原因となって起きるゲート絶縁膜203の、①絶縁破壊電圧が低下する、②リーク電流が増大する、という問題を解決している。

【0112】続いて図18(d)では、熱酸化膜を有する多結晶シリコンのゲート電極204およびゲート絶縁膜203の上部に層間絶縁膜207を堆積する。この層



間絶縁膜207としては、シランと酸素を原料とした常圧CVD法で形成した約1 $\mu$ m厚のSiO<sub>2</sub>膜、あるいはこれにリンを添加したリン珪酸ガラス(PSG)などが層間絶縁膜材として適している。ただし、これに限定されるものではなく、後続の各種熱処理工程に耐えられるものなら、SiNなど他の材料でも構わない。この後、基板を通常の拡散炉に入れ、N<sub>2</sub>雰囲気中で数10分の穏やかな熱処理を行い、層間絶縁膜207を高密度化する。この時の熱処理温度はゲート酸化温度1100℃より低い温度、たとえば、900℃~1000℃の範囲から適宜選ばれる。

【0113】次に、図19(e)では、SiC基板表面全面に厚み1 $\mu$ m以上のレジスト材(フォトリソトでよい)を塗布して表面を保護しながら、CF<sub>4</sub>とO<sub>2</sub>などをエッチャントとしたドライエッチングを行い、裏面に積層した一過性の多結晶シリコン酸化膜303と一過性の多結晶シリコン302を完全に除去し、エッチングが一過性の熱酸化膜301に進んだところで、処理を終了する。ドライエッチングでは基板は加速イオンが飛び交う環境に置かれるので、イオン衝撃によるダメージや帯電が起きやすく、これが原因でゲート絶縁膜の劣化、すなわち、①絶縁破壊電圧が急落する、②リーク電流が増大する、という問題が起きる。このような劣化を防止するために、ここではレジスト材による表面保護を行っている。言い換えると、本表面レジスト保護処理は裏面のドライエッチングが原因で起きる上記①および②の問題を解決している。なお、多結晶シリコン酸化膜303の除去はドライエッチングを用いずに緩衝フッ酸溶液を用いたウェットエッチングで行ってもよい。

【0114】続いて、ドライエッチングが済んだ基板を緩衝フッ酸溶液に浸漬して一過性の熱酸化膜301を基板の裏面から完全に除去し、超純水で緩衝フッ酸溶液を洗い流す。このようにして露出したSiC基板裏面のC終端面はダメージや汚染の少ないクリーンな面である。超純水で濡れたSiC基板を乾燥させるやいなや、高真空中に維持された蒸着装置の中に短時間で据え付け、基板裏面に所望の裏面電極材料を蒸着する。裏面電極材料としては、たとえば、50nm厚のNi膜がよい。SiC基板側面の電極材料が付着するおそれがある場合には、周辺部をシャドーマスクを使用して外縁部を隠蔽して蒸着を行う。

【0115】次に、表面保護に使用したレジストを当該レジストの専用ストリッパ液で完全に剥離し、基板を超純水で十分濯いでから乾燥させ、直ちに急速加熱処理装置に設置して、100%高純度Ar雰囲気中で1000℃、2分間の裏面コンタクト・アニールを実施する。この熱処理によって、Ni膜は低抵抗の基板裏面と合金化し、少なくとも接触抵抗10<sup>-6</sup> $\Omega$ cm<sup>2</sup>台を示す極めて低抵抗の裏面電極208が出来る。なお、裏面コンタクト・アニールの温度は、ゲート絶縁膜203を形成し

た熱酸化温度よりも低い温度であって、かつ、単結晶炭化珪素と接触金属(ここではNi)とのオーミック接触の形成に十分な温度(Niの場合少なくとも900℃以上)に設定する。

【0116】上記コンタクト・アニールに際して極めて重要な点は、このとき既に形成されているゲート絶縁膜203(ゲート電極下のゲート領域部分)が、多結晶シリコンのゲート電極204と、単結晶SiC基板のエピタキシャル層202と、エピタキシャル層202の熱酸化膜(ゲート絶縁膜203のうちゲート領域外の部分、つまり実際のゲート絶縁膜に隣接する周囲部分)と、多結晶シリコンの熱酸化膜からなるゲート側面絶縁膜205と、で周囲を完全に被われた構造で急速加熱処理を施されたということである。

【0117】続いて、図19(f)では、基板上面にフォトリソトと塗布し、露光装置で露光・現像して、層間絶縁膜207上面にレジストマスクを形成する。つづいて、基板裏面に保護用のレジストを塗布して、このレジストを十分乾燥させてから、緩衝フッ酸溶液を用いたエッチングで層間絶縁膜207にゲート電極結線開口部209を開ける。裏面のレジストはオーミック電極が緩衝フッ酸溶液に溶出して、消失したり変質したり、あるいは、裏面から溶出したり剥落したりした電極材料が表面に付着するのを防止する役割を担っている。エッチングが終了したら、レジストマスクと裏面電極保護に使用したレジストを当該レジストの専用ストリッパ液で完全に剥離し、基板を十分濯いでから乾燥させる。

【0118】次に、図19(g)では、乾燥させた基板を直ちに高真空中に維持されたマグネトロンスパッタリング装置の中に据え付け、基板の層間絶縁膜207の上部全面に所望の配線材料、たとえば1 $\mu$ m厚のAlを蒸着する。その後、Al膜を成膜した基板表面にフォトリソトを塗布し、露光し、現像して、エッチングのレジストマスクを形成した後、再度、基板裏面に裏面電極保護用のフォトリソトを塗布して、このレジストを十分乾燥させてから、リン酸系のエッチング液を用いてAl膜をパターン化し、配線210を形成する。

【0119】なお、裏面のレジストは裏面電極208がリン酸系のエッチング液に溶出して、消失したり変質したりするのを防止する目的で形成されるが、裏面電極208にこのおそれがない場合や配線210をRIE(ドライ・エッチング)でエッチングするときには、省略することができる。最後にレジストマスクと裏面電極保護に使用したレジストを専用ストリッパ液で完全に除去し、基板を十分濯いでから乾燥させることにより、図17に示した本発明に基づくMOSキャパシタが完成する。

【0120】上記のように、本実施の形態においては、ゲート電極以外の電極で、単結晶炭化珪素基板とコンタクトされる金属電極(つまり裏面電極208)として、ゲート絶縁膜203(ゲート電極204の下の部分)が

ゲート電極204と単結晶炭化珪素基板（エピタキシャル層202）と単結晶珪素基板の熱酸化膜（ゲート絶縁膜203のうちゲート領域外の部分、つまり実際のゲート絶縁膜に隣接する周囲部分）とゲート側面絶縁膜205とで全周囲を囲まれた後に、ゲート絶縁膜203を形成した熱酸化温度よりも低い温度であって、かつ、単結晶炭化珪素と金属（Ni）とのコンタクト・アニールに十分な温度（900℃以上）で加熱処理を施された金属電極を用いる構成としている。そのため、加熱処理時には、ゲート絶縁膜203が熱的に安定な（反応しない、拡散しない）多結晶シリコンとSiO<sub>2</sub>とSiCに上下左右から完全に取り囲まれるため、加熱処理装置の内壁や炭化珪素基板のコンタクトから飛来した汚染物質や金属物質が高温処理でゲート絶縁膜203（ゲート領域）に浸入するという弊害と、急速加熱処理が800℃以上の高真空中で行われる場合にSiO<sub>2</sub>のゲート絶縁膜203が不均一に分解して変質するという弊害と、を極めて効果的に防止することができる。

【0121】また、ゲート絶縁膜203を熱酸化で形成する際の温度をコンタクト・アニールの温度よりも高くしていることにより、急速加熱処理でゲート絶縁膜203に生じる膨張/収縮に伴う熱衝撃や熱ストレスを、実効的に小さくすることができる。そのため、下記図20、図21で詳述するように、急速高温加熱処理で生じるゲート絶縁膜203の特性の劣化を解決することができる、という効果が得られる。また、単結晶炭化珪素と金属とのコンタクト・アニールに十分な温度で加熱処理を施しているため、単結晶炭化珪素と金属との接触は、接触抵抗が $10^{-6} \Omega \text{cm}^2$  台あるいはこれ以下を示す極めて良好なオーミック接触が得られている。

【0122】図20はこのようにして作製したMOSキャパシタのうち、任意の8個の電流-電圧特性を示す図である。ゲート電極の面積（開口部）は $3.14 \times 10^{-4} \text{cm}^2$ 、ゲート絶縁膜の厚みは45nmであった。図20から明らかなとおり、試験したキャパシタがほぼ同じ電流-電圧特性を示している。この電流-電圧特性はFowler-Northem伝導として知られている薄い酸化膜本来の真因性の特性であり、劣化を示唆するリーク性の伝導は観察されない。絶縁破壊電圧はどれも45V（電界強度では10MV/cm）以上と優れた値を得ている。図20と前記図14の特性を比較すれば明らかなとおり、この本発明に基づくMOSキャパシタのゲート絶縁膜のリーク電流ならびに絶縁破壊電圧は、図14に示した従来技術の急速加熱処理を施したそれら（with RTA）より、格段に改善されている。

【0123】また、図21は、本発明にかかる上記MOSキャパシタの高周波C-V特性図である。前記図15に示したと従来技術では、急速加熱処理の結果、フラットバンド電圧が正方向に大きくシフトし、少なくとも15V以上になることが指摘されているが、同様の急速加

熱処理を施した本MOSキャパシタにおいては1V以下の値であり、これもまた大きく減少していることがわかる。このフラットバンド電圧の低下（改善）は、酸化膜界面の有効電荷密度 $Q_{eff} [\text{C}/\text{cm}^2]$ に換算して、 $Q_{eff}$ の一桁の減少に相当する大きな改善である。

【0124】以上の説明から明らかなとおり、前記の従来技術においてコンタクト・アニールなどの急速加熱処理（例えば真空中、1000℃で1分間）を施すと、①本来40V程度あるべきゲート絶縁膜の絶縁破壊電圧が1/8の5V以下に急落する（図14上グラフ）、②ゲート絶縁膜のリーク電流が著しく増大する（同グラフ）、③フラットバンド電圧が通常の0V付近から15V以上正方向にシフトする（図15）という問題があったが、本発明において、これら問題はすべて解決されている。

【0125】また、本実施の形態ではAr雰囲気中で1000℃で2分間のコンタクト・アニールを加えている。この熱処理条件及び接触の形成方法はn+SiCに低抵抗オーミック接触を行うための最適な製造方法である。したがって、本実施の形態においては、SiC基板表面には極めて低抵抗のオーミック接触が得られる。言いかえると、本発明は前記①～③の問題を接触抵抗の増大を招くことなく、解決しているといえる。

【0126】これに加えて、着目すべき重要な点は、本実施の形態はコンタクト・アニールのみならず、実デバイスにおいて、そのゲート絶縁膜がよく経験する上述したその他のすべての熱工程、例えば、多結晶シリコン膜の成膜、同膜へのリン不純物添加ドライブイン、層間絶縁膜の堆積、同膜の高密度化熱処理等でも同様に起る問題①～③を解決する方法を提供している、ということである。

【0127】さらに、図14のI-V特性（下のグラフ）を見ると、従来技術では、急速加熱処理をしていないゲート絶縁膜であっても、絶縁破壊電圧は最大でも40V程度であり、また、低電圧で、破壊するものや高いリーク電流を示す不良が相当数含まれていることがわかる。これに比べて、本実施の形態のゲート絶縁膜の絶縁破壊電圧はすべてが40V以上と高く、最もよいものは54Vをも越えるものが得られている。また、リーク電流はどれも小さく、絶縁破壊する直前まで真因性の伝導を示す電流である。このように、本発明による炭化珪素半導体装置およびその製造方法は、従来技術のゲート絶縁膜に比べて良好な特性を示し、ゲート絶縁膜形成後の熱処理やドライエッチングを含むデバイス製造工程を経ても、その良好な特性を最後まで維持できる、という優れた効果を有している。

【0128】（第5の実施の形態）第5の実施の形態は、フィールド絶縁膜を有する構成のMOSキャパシタに本発明を適用した場合である。本実施の形態は前記第4の実施の形態と共通するところが多く、このようなと

ころは同じ説明を繰り返すとむしろ冗長になるので、簡単に説明する。以下図22～図25を用いて第5の実施の形態を説明するが、図中で第4の実施形態の説明を同じ番号が付されている構成物は、とくに断りがなければ、第4の実施形態と同じ物である。

【0129】図22は本発明を適用したフィールド絶縁膜を有するMOSキャパシタの要部断面図である。図22において、201は高不純物濃度（窒素 $>1 \times 10^{-19} / \text{cm}^3$ ）のn型の単結晶炭化珪素基板（SiC基板）であり、表面に厚み $10 \mu\text{m}$ で、窒素を $4 \times 10^{-15} / \text{cm}^3$ 添加したn-エピタキシャル層202をホモエピタキシャル成長させている。エピタキシャル層202の上には厚み数 $100 \text{nm}$ 以上のフィールド絶縁膜211が配設されている。フィールド絶縁膜211は少なくともSiC基板（正確にはエピタキシャル層）の熱酸化で形成した薄い下部絶縁膜212の上にSiCの熱酸化以外の手段（たとえば減圧CVD法など）で形成した厚い上部絶縁膜213が積層した構造になっている。214はフィールド絶縁膜211に開けられた開口部、203はこの開口部底面に形成されたゲート絶縁膜である。このゲート絶縁膜203は成膜中あるいは成膜後に酸素原子を含むガス中に直接さらして、熱処理された膜であることを要する。ゲート絶縁膜203とフィールド絶縁膜211の上には、所定の形状・面積の多結晶シリコンのゲート電極204が設けられている。ゲート電極204の側面及び上面には多結晶シリコンのゲート電極204を熱酸化して形成したゲート電極側面絶縁膜205およびゲート電極上面絶縁膜206がある。ゲート絶縁膜203およびゲート電極側面絶縁膜205、ゲート電極上面絶縁膜206、フィールド絶縁膜211の上には層間絶縁膜207が成膜されている。208は裏面電極であり、SiC基板201の裏面全面に配置されたオーミック電極である。この裏面電極208は、NiやCoなどの接触金属をSiC基板201の裏に蒸着した後、ゲート絶縁膜203の形成温度よりも低い温度の急速過熱処理でSiC基板201と合金化させることによって形成する。209は層間絶縁膜207に開口したゲート電極結線開口部、210はゲート電極204を同一基板上の他の回路要素や外部回路に接続するための配線で、AlやAl-Si共晶体などの材料を用いることができる。

【0130】次に、図23～図25を用いて上記MOSキャパシタの製造方法を説明する。図23～図25は、図22に示したMOSキャパシタの製造方法を示す断面図である。まず、図23(a)では、前記図18(a)で説明した方法で、高濃度にn型不純物を添加したSiC基板201の上面に $10^{15} / \text{cm}^3$ 台の不純物濃度を有するn型のホモ・エピタキシャル層202（たとえばここでは $10 \mu\text{m}$ 厚）形成し、この後、犠牲酸化も同様に行う。

【0131】次に、図23(b)では、上記の犠牲酸化が終了した基板を再び、RCA洗浄などで十分洗浄した後、エピタキシャル層202表面に薄い下部絶縁膜212と厚い上部絶縁膜213からなるフィールド絶縁膜211を成膜する。下部絶縁膜212はエピタキシャル層202表面を酸素雰囲気中でドライ酸化して形成した約 $10 \text{nm}$ の熱酸化膜、上部絶縁膜213は熱酸化以外の方法で形成した所望の厚みの絶縁膜、たとえば、酸素とシランを用いた常圧CVDで形成した $400 \text{nm}$ 厚の $\text{SiO}_2$ 膜などを使用することができる。なお、下部絶縁膜212の熱酸化はドライ酸化に限定されるものではなく、ウェット酸化や他の酸化ガスを用いた熱酸化でもよい。下部絶縁膜212の厚みは、前記図18(b)の工程の犠牲酸化で説明した理由と同一理由で、 $50 \text{nm}$ 未満、好ましくは $5 \sim 20 \text{nm}$ が望ましい。なお、エピタキシャル層202表面に熱酸化膜の下部絶縁膜212を成長してから、上部絶縁膜213を成膜してもよいし、逆に、上部絶縁膜213を成膜してから熱酸化して、エピタキシャル層202と上部絶縁膜213の間に下部絶縁膜（熱酸化膜）212を形成してもよい。ただし、後者の工順を取ることができるのは、上部絶縁膜213が酸素透過性の膜である場合に限られる。また、図23(b)中の304は下部絶縁膜212を熱酸化で形成するとき基板の裏面に自動的に形成される第2の一過性の熱酸化膜であるが、図23(b)の第1の一過性の熱酸化膜同様、基板裏面の研削損傷層を効果的に取り除く作用を有している。

【0132】次に図23(c)では、基板の表面にフォトリソを塗布し、露光し、現像し、SiC基板201を緩衝フッ酸溶液（ $\text{NH}_4\text{F} + \text{HF}$ 混合液）に浸漬しウェットエッチングすることで、フィールド絶縁膜211の所定の位置にフィールド開口部214を形成する。前記図23(b)の工程で基板裏面の損傷層を取り込んで出来た第2の一過性の熱酸化膜304はここで消失する。微細なフィールド開口部214を形成するときは、 $\text{CF}_4$ ガスプラズマなどを用いた反応性イオンエッチング（RIE）等のドライ・エッチングを用いることができるが、この場合、最初にドライ・エッチングを行い、フィールド絶縁膜207を数 $100 \text{nm}$ 残したところで、必ず、上記緩衝フッ酸溶液を用いたウェット・エッチングに切り換えるようにする。フィールド開口部214をn型のエピタキシャル層202までドライエッチングで貫通させては、SiC表面がプラズマ損傷で荒れたり、ドライ・エッチング反応で生成したハイドロ・カーボン底部に付着したりして、つぎの工程で形成するゲート絶縁膜の特性劣化（従来技術の問題点①～③）の要因となるからである。上記のようにフィールドの開口エッチングが済んだら、フォトリソを剥離する。

【0133】続いて図24(d)では、レジスト残滓で汚れた基板を再び、RCA洗浄などで十分洗浄すると

もに、洗浄の最終段階において、このRCA洗浄でフィールド開口部214の基板表面に生成した化学的酸化膜を除去するために緩衝フッ酸溶液に5秒〜10秒間浸し、超純水で緩衝フッ酸溶液を完全にすすぎ落とした後、乾燥する。化学的酸化膜は極めて低品質であるばかりでなく、不均一な膜でもあるので、つづく熱酸化膜の様な成長に悪影響を与えるため、化学的酸化膜の除去する工程は省くことができない。

【0134】次に、乾燥した基板を直ちに熱酸化して、フィールド開口部214のエピタキシャル層202表面に所望の厚み（例えばここでは40nm厚）のゲート絶縁膜203を成長させる。この時、基板全体が酸化雰囲気中にさらされるので、フィールド絶縁膜211下のエピタキシャル層202も若干酸化され、下部絶縁膜（熱酸化膜）212の厚みが増大するとともに、基板裏面には一過性の熱酸化膜301が生成される。ゲート絶縁膜203の熱酸化条件としては、たとえば、温度1100℃でのドライ酸化などがよい。前記図18(b)の工程で説明したように、この熱酸化温度は後続の全ての工程のどの熱処理温度よりも高く設定することが重要である。熱酸化では表面荒れが顕著になってくる50nm以上の厚いゲート絶縁膜にしたい場合は、SiCの50nm厚未満の熱酸化膜の上に他の成膜手段で形成した絶縁膜（たとえば、CVD-SiO<sub>2</sub>膜）を積層し、所望の厚みにする。基板裏面の一過性の熱酸化膜301は研削損傷層を取り除く機能と、後続の工程で多結晶シリコン膜203をドライエッチングで除去する際のイオン損傷から基板裏面を保護する重要な機能とを有している。

【0135】次に、図24(e)では、直ちに基板表裏全面にシラン原料を用いた減圧CVD法（成長温度600℃〜700℃）で、厚み300〜400nm多結晶シリコン膜を成膜した後、塩素酸リン（POCl<sub>3</sub>）と酸素を用いた周知の熱拡散法（処理温度900℃〜950℃）で多結晶シリコン膜に不純物Pを縮退するまで添加し、導電性を付与する。つづいて、前記図18(c)の工程で説明したように、フォトリソグラフィとRIEとで、多結晶シリコンのゲート電極204を形成する。なお、基板裏面に残された多結晶シリコン膜302は一過性の導電体膜である。次に、RIEで使用したレジスト・マスクを基板から完全に除去し、基板を十分洗浄し、乾燥させた後、900℃のドライ酸素雰囲気中で熱酸化させて多結晶シリコンのゲート電極204の側面に50nm〜100nmのゲート電極側面絶縁膜205を成長させる。このとき同時に、ゲート電極204の上にはゲート電極上面絶縁膜206が形成され、裏面の一過性の多結晶シリコン膜302の下には一過性の多結晶シリコン熱酸化303が生成される。ゲート電極側面絶縁膜205の形成の目的は、第4の実施の形態で述べたように、ゲート電極をドライエッチングで形成したときイオン衝撃や金属汚染で劣化したゲート絶縁膜帯状領域の

直上の多結晶シリコンを非導電性の酸化物（SiO<sub>2</sub>）つまりゲート電極側面絶縁膜205に完全に転化させ、劣化領域にゲート電圧が正味、印加されないゲート電極外縁構造を確立することである。

【0136】続いて図24(f)では、基板の上部全面に層間絶縁膜207を堆積する。この層間絶縁膜207としては、常圧CVD法で形成した約1μm厚のSiO<sub>2</sub>膜、あるいはこれにリンを添加したリン珪酸ガラス（PSG）などが層間絶縁膜材として適している。その後、基板を通常の拡散炉に入れ、N<sub>2</sub>雰囲気中で数10分の穏やかな熱処理を行い、層間絶縁膜207を高密度化する。この時の熱処理温度はゲート酸化温度（1100℃）より低い温度、たとえば950℃、が適宜選ばれる。

【0137】次に、図25(g)では、前記図19(e)の工程で説明したように、SiC基板表面全面に厚み1μm以上のレジスト材（フォトリソレジストでよい）を塗布して表面を保護しながら、CF<sub>4</sub>とO<sub>2</sub>などをエッチャントとしたドライエッチング、あるいは緩衝フッ酸溶液を用いたウェットエッチングとドライエッチングとを順に組み合わせたエッチングを用いて、裏面側に積層した一過性の多結晶シリコン酸化膜303と一過性の多結晶シリコン膜302を完全に除去し、エッチングが一過性の熱酸化膜301に進んだところで、処理を終了する。

【0138】続いて、基板を緩衝フッ酸溶液に浸漬して一過性の熱酸化膜301を基板の裏面から完全に除去し、超純水で緩衝フッ酸溶液を速やかに洗い流し、濡れたSiC基板を乾燥させるやいなや、高真空中に維持された蒸着装置の中に短時間で据え付け、基板裏面に所望の裏面電極材料を蒸着する。裏面電極材料としては、たとえば、50nm厚のNi膜がよい。なお、SiC基板側面の電極材料が付着するおそれがある場合には、周辺部をシャドーマスクを使用して外縁部を隠蔽して蒸着を行う。

【0139】次に表面保護に使用したレジストを当該レジストの専用ストリッパ液で完全に剥離し、基板を超純水で十分濯いでから乾燥させ、直ちに急速加熱処理装置に設置して、100%高純度Ar雰囲気中で1000℃、2分間の裏面コンタクト・アニールを実施する。この急速加熱処理によって、Ni膜は低抵抗の基板裏面と合金化し、少なくとも接触抵抗10<sup>-6</sup>Ωcm<sup>2</sup>台を示す極めて低抵抗の裏面電極208が出来る。前述したように、裏面コンタクト・アニールの温度は、ゲート絶縁膜203を形成した熱酸化温度よりも低い温度であって、かつ、単結晶炭化珪素と接触金属（ここではNi）とのオーミック接触の形成に十分な温度（Niの場合少なくとも900℃以上）に設定する。

【0140】上記コンタクト・アニールに際して極めて重要な点は、このとき既に形成されているゲート絶縁膜

203 (ゲート電極204の下部分) が、多結晶シリコンのゲート電極204と、単結晶SiC基板のエピタキシャル層202と、エピタキシャル層202の熱酸化膜 (ゲート絶縁膜203のうちゲート領域外の部分、つまり実際のゲート絶縁膜に隣接する周囲部分及びフィールド絶縁膜の下部絶縁膜212を指す) と、多結晶シリコンの熱酸化膜からなるゲート側面絶縁膜205と、で周囲を完全に被われた構造で急速加熱処理を施されたということである。

【0141】続いて図25 (h) では、基板表面にフォトリソを塗布し、露光装置で露光・現像して、フィールドに位置する層間絶縁膜207に、ゲート電極結線開口部211をエッチングで設けるためのレジストマスクを形成する。つづいて、基板裏面に保護用レジストを塗布して、このレジストを十分乾燥させてから、緩衝フッ酸溶液を用いたエッチングで層間絶縁膜207にゲート電極結線開口部211を開ける。なお、裏面のレジストは裏面電極208が緩衝フッ酸溶液に溶出して、消失したり変質したり、あるいは、裏面から溶出したり剥落したりした電極材料が表面に付着するのを防止する役割を担っている。エッチングが終了したら、レジストマスクと裏面電極保護に使用したレジストを当該レジストの専用ストリッパ液で完全に剥離し、基板を十分濯いでから乾燥させる。

【0142】次に、図25 (i) では、乾燥させた基板を直ちに高真空中に維持されたマグネトロンスパッタリング装置の中に据え付け、基板の層間絶縁膜207の上部全面に所望の配線材料、たとえば1 $\mu$ m厚のAlを蒸着する。その後、Al膜を成膜した基板表面にフォトリソと塗布し、露光し、現像して、エッチングのレジストマスクを形成した後、再度、基板裏面に裏面電極保護用のレジストを塗布して、このレジストを十分乾燥させてから、リン酸系のエッチング液を用いてAl膜をパターン化し、配線210を形成する。なお、裏面のレジストは裏面電極208がリン酸系のエッチング液に溶出して、消失したり変質したりするのを防止する目的で形成されるが、裏面電極208にこのおそれがない場合や配線210をRIE (ドライ・エッチング) でエッチングするときには、省略することができる。最後にレジストマスクと裏面電極保護に使用したレジストを専用ストリッパ液で完全に除去し、基板を十分濯いでから乾燥させることにより、図22に示した本発明に基づくMOSキャパシタが完成する。

【0143】本実施の形態も、以下に詳述するように、前記第4の実施の形態と同等の優れた効果が得られる。上記のように、本実施の形態においては、ゲート電極以外の電極で、単結晶炭化珪素基板とコンタクトされる金属電極 (つまり裏面電極208) として、ゲート絶縁膜203がゲート電極204と単結晶炭化珪素基板 (エピタキシャル層202) と単結晶珪素基板の熱酸化膜 (ゲ

ート絶縁膜203のうちゲート領域外の部分、つまり実際のゲート絶縁膜に隣接する周囲部分及びフィールド絶縁膜の下部絶縁膜212を指す) とゲート側面絶縁膜205とで全周囲を囲まれた後に、ゲート絶縁膜203を形成した熱酸化温度よりも低い温度であって、かつ、単結晶炭化珪素と金属 (Ni) とのコンタクト・アニールに十分な温度 (900℃以上) で加熱処理を施された金属電極を用いる構成としている。そのため、加熱処理時には、ゲート絶縁膜が熱的に安定な (反応しない、拡散しない) 材料、すなわち、多結晶シリコンおよびSiO<sub>2</sub>、SiCに上下左右から完全に取り囲まれるため、加熱処理装置の内壁や炭化珪素基板のコンタクトから飛来した汚染物質や金属物質が高温処理でゲート絶縁膜203 (ゲート領域) に浸入するという弊害と、急速加熱処理が800℃以上の高真空中で行われる場合にSiO<sub>2</sub>ゲート絶縁膜203が不均一に分解して変質するという弊害と、を極めて効果的に防止することができる。また、ゲート絶縁膜203を熱酸化で形成する際の温度をコンタクト・アニールの温度よりも高くしていることにより、急速加熱処理でゲート絶縁膜203に生じる膨張/収縮に伴う熱衝撃や熱ストレスを、実効的に小さくすることができる。そのため、下記図26、図27で詳述するように、急速高温加熱処理で生じるゲート絶縁膜203の電気特性の劣化 (上述①~③) を解決することができる、という効果が得られる。また、単結晶炭化珪素と金属とのコンタクト・アニールに十分な温度で加熱処理を施しているため、単結晶炭化珪素と金属との接触は、接触抵抗が10<sup>-6</sup>  $\Omega$ cm<sup>2</sup> 台あるいはこれ以下を示す極めて良好なオーミック接触が得られる。

【0144】図26は、このようにして作製したMOSキャパシタの内、任意の11個の電流-電圧特性図である。ゲート電極の面積 (開口部) は3.14 $\times$ 10<sup>-4</sup> cm<sup>2</sup>、ゲート絶縁膜の厚みは45 nmであった。図26から明らかとなおり、試験したキャパシタがほぼ同じ電流-電圧特性を示している。この電流-電圧特性はFowler-Northem伝導として知られている薄い酸化膜本来の真因性の特性であり、劣化を示唆するリーク性の伝導は観察されない。絶縁破壊電圧はどれも45 V (電界強度では10 MV/cm) 以上と優れた値を与えている。図26と前記図14の特性を比較すれば明らかとなおり、この本発明に基づくMOSキャパシタのゲート絶縁膜のリーク電流ならびに絶縁破壊電圧は、図14に示した従来技術の急速加熱処理を施したそれら (with RTA) より、格段に改善されている。

【0145】また、図27は、本発明にかかる上記MOSキャパシタの高周波C-V特性である。前記図15に示した従来技術では、急速加熱処理の結果、フラットバンド電圧が正方向に大きくシフトし、少なくとも15 V以上になることが指摘されているが、同様の急速加熱処理を施した本MOSキャパシタにおいては2 V弱の値で



あり、これもまた大きく減少していることがわかる。このフラットバンド電圧の低下(改善)は酸化膜界面の有効電荷密度 $Q_{eff}$  [ $/\text{cm}^2$ ]に換算して、 $Q_{eff}$ の一桁の減少に相当する大きな改善である。

【0146】以上の説明から明らかなとおり、前記の従来技術においてコンタクト・アニールなどの急速加熱処理(例えば真空中、1000℃で1分間)を施すと、①本来40Vくらいあるべきゲート絶縁膜の絶縁破壊電圧が1/8の5V以下に急落する(図14上グラフ)、②ゲート絶縁膜のリーク電流が著しく増大する(同グラフ)、③フラットバンド電圧が通常の0V付近から15V以上正方向にシフトする(図15)という問題があったが、本発明においては、これら問題はすべて解決されている。

【0147】また、本実施の形態ではAr雰囲気中1000℃で2分間のコンタクト・アニールを加えている。この熱処理条件及び接触の形成方法はn+ SiCに低抵抗オーミック接触を行うための最適な製造方法である。したがって、本発明実施の形態においては、SiC基板裏面には極めて低抵抗のオーミック接触が得られる。言い換え、本発明は前記①～③の問題を接触抵抗の増大を招くことなく解決しているといえる。

【0148】これに加えて、着目すべき重要な点は、本実施の形態はコンタクト・アニールのみならず、実デバイスにおいてゲート絶縁膜がよく経路する上述したその他のすべての熱工程、例えば、多結晶シリコン膜の成膜、同膜へのリン不純物添加ドライブイン、層間絶縁膜の堆積、同膜の高密度化熱処理等でも同様に起る問題①～③を解決する方法を提供している、ということである。

【0149】さらに、図14のI-V特性(下のグラフ)見ると、従来技術では、急速加熱処理をしていないゲート絶縁膜であっても、絶縁破壊電圧は最大でも40V程度であり、また、低電圧で破壊するものや高いリーク電流を示す不良が相当数含まれていることがわかる。これに比べて、本実施の形態のゲート絶縁膜の絶縁破壊電圧はすべてが40V以上と高く、最もよいものは54Vをも越えるものが得られている。また、リーク電流はどれも小さく、絶縁破壊する直前まで真因性の伝導を示す電流である。このように、本発明による炭化珪素半導体装置およびその製造方法は、従来技術のゲート絶縁膜に比べて良好な特性を示し、ゲート絶縁膜形成後の熱処理やドライ・エッチングを含むデバイス製造工程を経ても、その良好な特性を最後まで維持できる、という優れた効果を有している。

【0150】(第6の実施の形態)本発明の第6の実施の形態は、特開平10-308510号公報に開示されているようなnチャネルタイプのプレーナ型パワーMOSFETに、良好なゲート絶縁膜特性ならびにMOS界面特性を実現するために、本発明を適用した例である。

図28は本発明に基づくパワーMOSFETの平面構成を簡略的に示した図である。図29(a)は、図28上の(a)断面線でパワーMOSFETを切断したときの要部断面図であり、パワーMOSFETの1つのセルの構造を示している。パワーMOSFETはこのようなセルを縦横に多数連結させて(回路的には並列接続させて)構成される。また、図29(b)は、上記パワーMOSFETセルの端部に隣接するゲート電極の取り出し部分の断面構造であり、図28上の(b)断面線で切断したときの要部断面図である。図28に示したパワーMOSFETセルはいわゆる方形セルであるが、本発明はこのような方形セルにのみ限定されるものではなく、周知の六方セルでも、あるいは、歯型セルでも同様に適用できる。なお、以下の説明において、とくに(b)断面と特に断りがない場合は、(a)断面の説明か、あるいは、(a)断面および(b)断面に共通の説明であるものとする。

【0151】図28、図29において、221はn+単結晶SiC基板であり、表面(図中上面側主面)に厚み10 $\mu\text{m}$ 、窒素を $4 \times 10^{-15} / \text{cm}^3$ 添加した第1のn-エピタキシャル層222をホモエピタキシャル成長させている。4H、6H、3C、15Rなど全ての晶系(Hは六方晶、Cは立方晶、Rは菱面体晶を意味する)の基板を用いることができる。n-エピタキシャル層222の表層部における所定領域には、所定深さを有するp型不純物をわずかに添加したp-ベース層223aおよび223bが離間して形成され、また、断面(b)においてはp-ベース層223cが形成されている。このp-ベース層223cは近接するMOSFETセルのp-ベース層223aまたは223bと連続している。

【0152】p-ベース層223a、223bの表層部所定領域には、p-ベース層よりも浅いn+ソース層224a、224bが形成されている。さらに、n+型ソース層224aと224bに接し、第1のn-エピタキシャル層222とp-ベース層223a、223b、223cの表層には第2のn-エピタキシャル層素片225が延設されている。この第2のn-エピタキシャル層素片225は、デバイスの動作時にデバイス表面においてチャネル形成層として機能する。このn-エピタキシャル層素片225の不純物濃度は、 $1 \times 10^{15} / \text{cm}^3 \sim 1 \times 10^{17} / \text{cm}^3$ の間の低濃度であり、かつ、第1のn-エピタキシャル層222及びp-ベース層223a、223bの不純物濃度以下であるものとする。p-ベース層223a、223b、223c、n+ソース層224a、224bの上部には基板凹部236a、236b、236cが形成されている。

【0153】(b)断面において、p-ベース層223cの上部には厚み数100nm以上のフィールド絶縁膜226が配設されている。フィールド絶縁膜226はS

iC基板221の表面を熱酸化して形成した薄い下部絶縁膜227の上にSiCの熱酸化以外の手段(たとえば減圧CVD法など)で形成した厚い上部絶縁膜228が積層した構造になっている。

【0154】(a)、(b)両断面において、229はフィールド絶縁膜226に開けられたフィールド開口部、230はフィールド開口部底面に形成されたゲート絶縁膜である。このゲート絶縁膜230は成膜中あるいは成膜後に酸素原子を含む酸化ガス中に直接さらして、熱処理された膜であることを要する。ゲート絶縁膜2030とフィールド絶縁膜226の所定領域の上には、導電性を付与した多結晶シリコンのゲート電極231が設けられている。このゲート電極231の側面および上面には、多結晶シリコンを熱酸化させて形成した薄いゲート電極側面絶縁膜265およびゲート電極上面絶縁膜266が配設されている。ゲート電極側面絶縁膜265およびゲート電極上面絶縁膜266、ならびに、ゲート絶縁膜230で上部にゲート電極が置かれていない部分およびフィールド絶縁膜226の上には層間絶縁膜232が成膜されている。

【0155】233a、233bは、層間絶縁膜232に開けられ、n<sup>+</sup>ソース層224a、224bおよびp-ベース層223a、223bに貫通するソース開口部である。このソース開口部233a、233bの底部にはソース電極234a、234bがある。このソース電極234a、234bはNiなどの薄い接触金属を配設した後、急速過熱処理でSiCと合金化させて形成する。235はソース開口部233a、233bを介してソース電極234a、234bを同一基板上の他の回路要素や外部回路に接続するための配線である。

【0156】断面(b)において、フィールド絶縁膜226上に形成された多結晶シリコン・ゲート電極231上部の層間絶縁膜232にはゲート電極結線開口部261が開けられていて、その底部には多結晶シリコンと合金化したNiからなるゲート電極接触234cが置かれている。ゲート電極接触234cとゲート電極結線開口部261を介してゲート電極231と同一基板上の他の回路要素や外部回路に接続するための第2の配線210が層間絶縁膜232に載置されている。一方、n<sup>+</sup>単結晶SiC基板221の裏面全面に配設された237は、ドレイン電極である。このドレイン電極237は、Niなどの薄い接触金属を基板裏に蒸着した後、急速過熱処理でSiCと合金化させて形成する。

【0157】次に、本発明を適用したプレーナ型パワーMOSFET(セルとゲート電極取り出し部)の製造方法を説明する。図30～図33は図29(a)に示した素子の製造方法の工程を示す断面図、図34～図37は図29(b)に示した素子の製造方法の工程を示す断面図である。以下、それぞれの素子の製造工程を一まとめにして説明する。

【0158】まず、図30(a1)と図34(b1)では、特願平10-308510号で記載されているようにして、n<sup>+</sup>SiC基板221に第1のn<sup>-</sup>エピタキシャル層222、p<sup>-</sup>ベース層223aおよび223b、223c、n<sup>+</sup>ソース層224a、224b、第2のn<sup>-</sup>エピタキシャル層素片225、基板凹部236a、236b、236cを形成する。第1、第2のn<sup>-</sup>エピタキシャル層の成長に伴って形成されるSiC基板221裏面の低品質のエピタキシャル層は、前記第4、第5の実施の形態で説明した手順で取り除かれているものとする。なお、以下の説明において、特に断らない場合は、SiC基板221にエピタキシャル層222やその他の膜や電極が形成されたものを基板と呼んでいる。

【0159】次に、図30(a2)および図34(b2)では、RCA洗浄などで十分洗浄した基板をドライ酸素雰囲気中で熱酸化して基板表面並びに裏面に熱酸化膜を成長し、緩衝フッ酸溶液を用いて直ちに取り除く。この時、すでに述べた理由により、熱酸化膜の厚みは50nm未満、好ましくは5～20nmが望ましい。犠牲酸化が終了した基板を再び、RCA洗浄などで十分洗浄した後、基板表面に薄い下部絶縁膜227と厚い上部絶縁膜228からなるフィールド絶縁膜226を成膜する。下部絶縁膜227は、基板表面をドライ酸素雰囲気中で酸化して形成した約10nmの熱酸化膜であり、上部絶縁膜228は熱酸化以外の方法で形成した所望の厚みの絶縁膜、たとえば、酸素とシランを用いた常圧CVDで形成した400nm厚のSiO<sub>2</sub>膜などを使用することができる。下部絶縁膜227の厚みは、50nm未満、好ましくは5～20nmが望ましい。下部絶縁膜227の熱酸化はドライ酸化に限定されるものではなく、ウェット酸化や他の酸化ガスを用いた熱酸化でもよい。基板表面に下部絶縁膜227を成長させてから、上部絶縁膜228を成膜してもいいし、逆に、上部絶縁膜228を成膜してから熱酸化して、基板と上部絶縁膜228の間に下部絶縁膜(熱酸化膜)227を形成してもよい。なお、図中の401は下部絶縁膜227を形成する際に基板裏面に自動的に形成される第1の一過性の熱酸化膜である。この第1の一過性の熱酸化膜401は工程(a1)および(b1)で生じた基板裏面の相当深い研磨損傷層を効果的に取りこみ、後続の工程で除去することによって、損傷層を取り除く効果がある。

【0160】次に、図30(a3)および図34(b3)では、基板の表面にフォトリソを塗布し、露光し、現像し、基板を緩衝フッ酸溶液に浸漬してウェットエッチングすることで、フィールド絶縁膜226の所定の位置にフィールド開口部229を形成する。第1の一過性の熱酸化膜401は一緒にエッチングされて、ここで消失する。微細なフィールド開口部229を形成するときは、CF<sub>4</sub>ガスプラズマなどを用いた反応性イオンエッチング等のドライエッチングを用いることができる



が、この場合には、最初にドライ・エッチングを行い、フィールド絶縁膜を数100nm残したところで、必ず、上記緩衝フッ酸溶液を用いたウェット・エッチングに切り換えるようにする。エッチングが終了したらフォトレジストを剥離する。

【0161】次に、図31(a4)および35(b4)では、レジスト残滓で汚れた基板を再び、RCA洗浄などで十分洗浄するとともに、洗浄の最終段階において、RCA洗浄でフィールド開口部229の表面に生成した化学的酸化膜( $\text{SiO}_2$ )を除去するために緩衝フッ酸溶液に5秒〜10秒間浸し、超純水で緩衝フッ酸溶液を完全にすすぎ落とした後、乾燥する。

【0162】乾燥した基板は直ちに熱酸化して、フィールド開口部229の基板表面に所望の厚み(たとえばここでは40nm厚)のゲート絶縁膜230を成長させる。ゲート酸化の条件としては、これに限定されるわけではないが、たとえば、温度1100℃でのドライ酸化がよい。ここでコンタクト・アニールのような急速加熱処理に耐えられるゲート絶縁膜230を実現するための重要なポイントは、熱酸化温度は全ての後続工程のどの熱処理温度よりも高く設定するという点である。本実施の形態では、後に、表側のソース電極および裏面ドレイン電極237のオーミック接触を実現するために、温度1000℃の急速加熱処理を実施するので、それより高い1100℃という酸化温度が選ばれた。表面荒れが著しくなる50nm以上のゲート絶縁膜にしたい場合には、SiCの熱酸化膜の上に他の成膜手段で形成した絶縁膜(たとえば、CVD- $\text{SiO}_2$ 膜)を積層し、所望の厚みにする。

【0163】上記ゲート酸化の際に、フィールド絶縁膜226の下に位置するSiC基板(第2のn-エピタキシャル層素片225とp-ゲート層223cのそれぞれ一部)も若干酸化されるので、フィールド絶縁膜の下部絶縁膜227の厚みが増大する。また、402はゲート酸化のときに基板裏面に自動的に生成される比較的厚い第2の一過性の熱酸化膜である。この熱酸化膜も第1の一過性の熱酸化膜401同様に基板裏面の研削損傷層を効果的に除去する作用を有する。

【0164】次に、図31(a5)および図35(b5)では、ゲート絶縁膜230を形成し終わったら直ちに基板の表面及び裏面全面にシラン原料を用いた減圧CVD法(成長温度600℃〜700℃)で厚み300〜400nm多結晶シリコン膜を成膜し、その後、塩素酸リン( $\text{POCl}_3$ )と酸素を用いた周知の熱拡散法(処理温度900℃〜950℃)で多結晶シリコン膜にP(リン)を添加し、導電性を付与する。つづいて、基板表面にフォトレジストを塗布して、フォトリソグラフィと、 $\text{C}_2\text{F}_6$ と酸素をエッチャントとした反応性イオンエッチング(RIE)を用いて、基板表面側の多結晶シリコン膜の不要な部分を取り除き、ゲート電極231を形成

する。なお、403は上記多結晶シリコン膜の成膜で基板裏面に堆積した一過性の多結晶シリコン膜である。次に、RIEに使用したフォトレジストを完全に除去した後、基板をRCA洗浄して、十分清浄化したところで、900℃のドライ酸素雰囲気中で熱酸化させて、多結晶シリコンの表面に多結晶シリコンの熱酸化膜を生成する。265と266はこのようにして多結晶シリコンのゲート電極の側面および上面に形成された絶縁膜である。また、404は、この時、一過性の多結晶シリコン膜403の表面に形成された一過性の多結晶シリコン熱酸化膜である。

【0165】次に、図31(a6)および図35(b6)では、基板の表面全面に層間絶縁膜232を堆積する。この層間絶縁膜232としては、シランと酸素を原料とした常圧CVD法で約1μm厚の $\text{SiO}_2$ 膜あるいは更にリンを添加したリン珪酸ガラス(PSG)、更にこれにホウ素を添加したホウ素リン珪酸ガラス(BPSG)などが適しているが、これに限定されるものではない。この後、基板を通常の拡散炉に入れ、 $\text{N}_2$ 雰囲気中で数10分の穏やかな熱処理を行い、層間絶縁膜232を高密度化する。この時の熱処理温度は、ゲート絶縁膜の形成(熱酸化)温度より低い温度、たとえば、900℃〜1000℃の範囲で適宜選ばれる。

【0166】次に、図32(a7)および図36(b7)では、基板の表面にフォトレジストを塗布し、露光し、現像した後、基板を緩衝フッ酸溶液( $\text{NH}_4\text{F}+\text{HF}$ 混合液)に浸漬し、ウェットエッチングすることで、層間絶縁膜232の所定の位置にソース開口部233a、233bとゲート電極結線開口部261を形成する。微細な開口部を形成するときは、 $\text{CF}_4$ ガスプラズマなどを用いた反応性イオンエッチング(RIE)等のドライエッチングを用いることができるが、とくに低抵抗のソース・コンタクトを形成したい場合には、最初にドライ・エッチングを行い、層間絶縁膜232を貫通させずに数100nm残したところで、上記緩衝フッ酸溶液を用いたウェット・エッチングに切り換えるようにする。なお、緩衝フッ酸溶液を用いたウェット・エッチング時に、基板裏面の多結晶シリコン熱酸化膜404もいっしょに除去される。エッチングが終了したら、基板を十分に濯いで乾燥させ、直ちに、エッチング・マスクとしてのフォトレジストが付いたままの基板を高真空中に維持された蒸着機に設置して、基板表面に接触金属405を全面蒸着する。この接触金属としては、たとえば、50nm厚のNiがよい。この際、開口エッチングと接触金属の蒸着との間の放置時間は後述するソース電極やゲート電極接触の接触抵抗の大小を左右する極めて重要な因子のひとつである。この時間が長いと、開口部のSiCや多結晶シリコンの表面に自然酸化膜が生成されたり、ハイドロ・カーボンが再付着したりして、これが原因となって後述の合金層の均一形成が妨げられ、接触抵抗を

劇的に増加させたり、ばらつかせたりする。したがって開口部エッチング後は可能な限り早く接触金属405を被着させる必要がある。蒸着が終了したら、基板を専用のフォトレジスト・ストリッパに浸漬させ、基板表面に残されているフォトレジストを完全に除去する。それにより、フォトレジストの上に被着した接触金属405も同時に除かれ、ソース開口部233a、233b上及びゲート電極結線開口部261の底面にのみ接触金属405を残した基板構造ができあがる。

【0167】次に、図32(a8)および図36(b8)では、基板を十分濯いで、乾燥させた後、表面全面に厚み1 $\mu$ m以上の保護用レジスト材(フォトレジストでよい)を塗布し、CF<sub>4</sub>とO<sub>2</sub>を用いたドライ・エッチングを行い、裏面側多結晶シリコン膜403を完全に除去する。ドライエッチング中に起きる恐れのあるプラズマダメージや帯電ならびに汚染から接触金属405とゲート絶縁膜230の劣化を防止するために、上記レジストによる表面保護工程は必ず必要である。次に、基板を緩衝フッ酸に浸して第2の一過性の熱酸化膜402を除去し、基板裏面に清浄な結晶面を露出させる。緩衝フッ酸溶液を超純水で完全に濯ぎ落して、乾燥させたところ

で、速やかに基板を高真空中に維持された蒸着装置の中に据え付け、裏面に所望の裏面接触金属406を蒸着する。この裏面接触電極406の材料としては、たとえば、50nm厚のNi膜を用いることが出来る。

【0168】次に、図33(a9)および図37(b9)では、表面保護に使用したレジストを当該レジストの専用ストリッパ液で完全に剥離し、基板を十分濯いでから乾燥させ、直ちに急速加熱処理装置に設置して、高純度Ar雰囲気中で1000℃、2分間の急速加熱処理(コンタクト・アニール)を実施する。この熱処理によって、ソース開口部233a、233b、ゲート電極結線開口部261ならびに裏面の接触金属(Ni膜)405、406は、それぞれ、n<sup>+</sup>ソース層やp<sup>-</sup>ベース層のSiC、n<sup>+</sup>多結晶シリコン、n<sup>+</sup>SiC裏面と同時に合金化し、極めて低抵抗を示すソース電極234a、234b、ゲート電極接触234c、ドレイン電極237が形成される。このとき、同時に熱処理を受けるゲート絶縁膜230(ゲート電極下のゲート領域部分)が、多結晶シリコンのゲート電極231と、第2のエピタキシャル層素片225と、第2のエピタキシャル層素片225の熱酸化膜(ゲート絶縁膜230のうちゲート領域外の部分、つまり実際のゲート絶縁膜に隣接する周囲部分及びフィールド絶縁膜の下部絶縁膜227を指す)と、多結晶シリコンの熱酸化膜であるゲート側面絶縁膜265と、で周囲を完全に被われた耐熱・耐熱衝撃性の構造を確立している点に注目する必要がある。

【0169】最後に、図33(a10)および図37(b10)では、コンタクト・アニールが済んだ基板を高真空中に維持されたマグネトロンスパッタリング装置に

速やかに据え付け、基板の上部全面に所望の配線材料、たとえばAlを1 $\mu$ m厚に蒸着する。この後、Al膜を成膜した基板上面にフォトレジストと塗布し、露光し、現像して、エッチングのレジストマスクを形成した後、基板裏面に裏面電極保護用のフォトレジストを塗布して、このレジストを十分乾燥させてから、リン酸系のエッチング液を用いてAl膜をパターン化し、ドレイン電極に接続する配線235とゲート電極に接続する配線210を形成する。裏面のレジストはドレイン電極237がリン酸系のエッチング液に溶出して、消失したり変質したりするのを防止する目的で形成されるが、このおそれがない場合やAl膜をRIE(ドライ)でエッチングするときには、省略することができる。最後にレジストマスクとドレイン電極保護に使用した保護レジストを専用ストリッパ液で完全に除去し、基板を十分濯いでから乾燥させる。こうして、図28、図29に示した本発明のプレーナ型パワーMOSFETが完成する。

【0170】このようにして製作したプレーナ型パワーMOSFETのゲート絶縁膜のI-V特性及び高周波C-V特性を評価したところ、それぞれ、図20、図21や図26、図27と同等の特性が得られた。なお、この測定の際には、測定に便利ようにp<sup>-</sup>ベース223aとp<sup>-</sup>ベース223bの離間距離を200 $\mu$ mと特別に大きくした試料を用いている。上記のように、プレーナ型パワーMOSFETに本発明を適用した場合においても、第4、第5の実施の形態で説明したMOSキャパシタと同等の効果が得られる。この結果は、MOSキャパシタのゲート電極周辺とプレーナ型パワーMOSFETセルのゲート電極周辺の構造およびこの構造を作るためのプロセスを対比させると、当然予期される結果であることが理解できる。すなわち、図29(a)のn<sup>+</sup>ソース層224a、224b、p<sup>-</sup>ベース層223a、223b、223cは、n型不純物、p型不純物を添加した領域であるが、図30で説明したとおり、その母体はn<sup>-</sup>エピタキシャル層(225あるいは237)である。つまり、本発明による図29(a)のプレーナ型パワーMOSFETのゲート電極周辺の断面構造は、前記第4と第5の実施の形態の断面構造を組み合わせたものであり、実質的に異なるところがない。

【0171】また、プレーナ型パワーMOSFETの製造プロセスと前記第5の実施の形態のMOSキャパシタの製造プロセスを比較すると、ゲート絶縁膜を形成してから層間絶縁膜を形成するまでの工程は全く同じである。その後の工程もMOSFETではソース(ゲート電極)接触金属405をソース開口部233a、233b、底とゲート電極開口部底261に接触金属Niを同時形成する工程が挿入されているが、この工程は室温でのプロセスなので、ゲート絶縁膜の特性に影響を与える高温での熱処理の履歴という点で比較すると、両者はほぼ同じと言ってもよい。

【0172】さらに、本第6の実施の形態は、第4、第5の実施の形態と共通する効果を有するのに加えて、従来のプレーナ型を含めたSiC縦型MOSFET固有の以下の問題点を解決できるので説明する。前記第2の実施の形態で説明したように、図16は特開平10-308510で開示されているSiCを用いた典型的なパワーMOSFETセルの模式的な断面構造である。周知のとおり、パワーMOSFETのように大電流を制御する素子では熱損失を小さくするためにできるだけ接触抵抗を低減することが望ましい。たとえば逆方向耐電圧1kV級素子では少なくとも、ソース/ドレインの接触抵抗を $10^{-5} \Omega \text{cm}^2$ 以下に低減する必要がある。この目的に合うソース/ドレインへの接触金属は、Crofton等が総合報告(Phys.Stat.Sol., 202, p. 5811997)の中で論じているように、現在のところNiが最も適している。ところが、接触金属として有望なNiを、内部配線を兼ねるソース電極10'として使用すると、Niが下部のLTO膜(シリコン酸化膜)9'との密着強度が弱いので、LTO膜上のNiが剥がれ、その結果、SiC上のNiもはがれるという問題があり、また、コンタクト・アニールすると下部のLTO膜(堆積シリコン酸化膜)が還元され侵食される、という問題もある。

【0173】これに対して、本発明第6の実施の形態においては、図32を見ればあきらかなとおり、ソースの接触金属(Ni)405はシリコン酸化膜=層間絶縁膜232の上には形成されない構造をしている上に、コンタクト・アニール等の高温熱処理あるいは急激熱処理は配線235を蒸着する前に行うという予防措置もとっているため、このような問題は全く起きない。すなわち、本第6の実施の形態にかかるMOSFETは、これら従来のMOSFETの問題点を解決できるという特別な効果も有している。

【0174】また、特開2000-200907号公報では、図16(特開平10-308510号)の構造のMOSFETに光を照射するとフラットバンド電圧が正方向に大きくシフトする不良があることを指摘するとともに、これを解決するために表面チャネル層窒素のドーピング濃度を $1 \times 10^{-15} [\text{cm}^{-3}]$ 以下にする解決策を提案している。しかし、この方法では、MOSFETの閾値電圧制御や埋めこみチャネル形成などで使用するイオン注入工程において、イオン注入種(n型ドーパント)としての窒素Nを使用することを禁じたに等しい措置であり、MOSFETの製造技術上重大な制約を科すことになっている。

【0175】しかしながら、本第6の実施の形態にかかるパワーMOSFETにおいては、 $10^{-15} [\text{cm}^{-3}]$ あるいはこれ以上のエピタキシャル層を用いてMOSFETを構成しても、光照射でフラットバンド電圧が大きくシフトする現象は観察されない。すなわち、本第6の実施の形態にかかるパワーMOSFETの構造およびそ

の製造方法は、図16の構成のMOSFETが陥っていた光を照射するとフラットバンド電圧が正方向に大きくシフトするという問題を解決することができるという効果を有するものである。と同時に、本第6の実施の形態にかかるパワーMOSFETの構造及びその製造方法は、特開2000-200907号においてこの問題の解決のために科せられたドーパント窒素N使用の制約をも解き放ち、イオン注入種としての窒素Nの使用も可能にするという優れた効果も具有している。

【0176】(第7の実施の形態) 第7の実施の形態は、nチャネルタイプのアレーナ型パワーIGBT(Insulated Gate Bipolar Transistor)に、良好なゲート絶縁膜特性ならびにMOS界面特性を実現するために、本発明を適用した例である。図38はアレーナ型パワーIGBTの要部断面図である。この構造は前に説明したプレーナ型パワーMOSFETの構造(図29)と酷似しているが、これは偶然ではない。というのもIGBTは、MOSFETとバイポーラトランジスタとの複合デバイスで、歴史的にnチャネルMOSFETのドレイン側n+基板221をp+基板241に換えることで伝導度変調効果を誘起して、第1のn-エピタキシャル層222の抵抗成分を激減させることを狙って、発明されたデバイスだからである。

【0177】図38(a)は、パワーIGBTセルの要部断面図を示している。このセルは、周知の方形セルでも、六方セルでも、あるいは、楕圓型セルであってもよい。パワーIGBTはこのようなセルを縦横に多数連結させて(回路的には並列接続させて)構成される。一方、図38(b)は上記セル群から成るパワーIGBTの端部に隣接するゲート電極の取り出し部分の断面を示している。図38(b)のR-R'軸切断断面は図38(a)の構造をしている。なお、以下の説明において、とくに断りがない場合は、(a)断面の説明、あるいは、(a)断面および(b)断面に共通の説明であるものとする。

【0178】図38において、241は低抵抗の単結晶p+SiC基板であり、表面(図中上面側主面)に厚み $10 \mu\text{m}$ 、窒素を $4 \times 10^{-15} [\text{cm}^{-3}]$ 添加した第1のn-エピタキシャル層222をホモエピタキシャル成長させている。p型不純物としてAlが濃度 $1 \times 10^{-19} [\text{cm}^{-3}]$ 以上添加されており、4H、6H、3C、15Rなど全ての晶系(Hは六方晶、Cは立方晶、Rは菱面体晶を意味する)の基板を用いることができる。n-エピタキシャル層222の表層部における所定領域には、所定深さを有するp型不純物をわずかに添加したp-ベース層223aおよび223bが隣り合って形成され、また、断面(b)においてはp-ベース層223cが形成されている。このp-ベース層223cは近接するIGBTセルのp-ベース層223aまたは223bと連続している。

【0179】p- ベース層223a、223bの表層部所定領域には、p- ベース層よりも浅いn+ エミッタ層244a、244bが形成されている。さらに、n+ 型エミッタ層244aと244bに接し、第1のn- エピタキシャル層222とp- ベース層223a、223b、223cの表層には第2のn- エピタキシャル層素片225が延設されている。この第2のn- エピタキシャル層素片225は、デバイスの動作時にデバイス表面においてチャネル形成層として機能する。このn- エピタキシャル層素片225の不純物濃度は、 $1 \times 10^{15} / \text{cm}^3 \sim 1 \times 10^{17} / \text{cm}^3$  の間の低濃度であり、かつ、p- ベース層223a、223b、223cの不純物濃度以下であるものとする。p- ベース層223a、223b、223c、n+ エミッタ層244a、244bの上部には、凹部236a、236b、236cが形成されている。

【0180】(b) 断面において、p- ベース層223cの上部には厚み数100nm以上のフィールド絶縁膜226が配設されている。フィールド絶縁膜226はSiC基板241の表面を熱酸化して形成した薄い下部絶縁膜227の上にSiCの熱酸化以外の手段（たとえば減圧CVD法など）で形成した厚い上部絶縁膜228が積層した構造になっている。

【0181】(a) (b) 断面において、229はフィールド絶縁膜226に開けられたフィールド開口部、230はフィールド開口部底面に形成されたゲート絶縁膜である。このゲート絶縁膜230は成膜中あるいは成膜後に酸素原子を含む酸化ガス中に直接さらして、熱処理された膜であることを要する。ゲート絶縁膜230とフィールド絶縁膜226の上には、導電性を付与した多結晶シリコンのゲート電極231が設けられている。このゲート電極の側面および上面には、多結晶シリコンを熱酸化させて形成した薄いゲート電極側面絶縁膜265およびゲート電極上面絶縁膜266が配設されている。ゲート電極側面絶縁膜265およびゲート電極上面絶縁膜266、ならびに、ゲート絶縁膜230で上部にゲート電極が置かれていない部分およびフィールド絶縁膜226の上には層間絶縁膜232が成膜されている。

【0182】243a、243bは、層間絶縁膜232に開けられ、n+ エミッタ層244a、244b/p- ベース層223a、223bに貫通するエミッタ開口部である。このエミッタ開口部243a、243bの底部にはエミッタ電極254a、254bがある。エミッタ電極254a、254bはNiなどの接触金属を配設した後、急速過熱処理でSiCと合金化させて形成する。235はエミッタ開口部243a、243bを介してエミッタ電極254a、254bを同一基板上の他の回路要素や外部回路に接続するための配線である。

【0183】断面(b)において、フィールド絶縁膜226上に形成された多結晶シリコンのゲート電極231

上部の層間絶縁膜232にはゲート電極結線開口部261が開けられていて、その底部には多結晶シリコンと合金化したNiからなるゲート電極接触254cが置かれている。ゲート電極接触254cとゲート電極結線開口部261を介してゲート電極231と同一基板上の他の回路要素や外部回路に接続するための第2の配線210が層間絶縁膜232に載置されている。一方、p+ 単結晶SiC基板241の裏面全面に配設された247は、コレクタ電極である。このコレクタ電極247は、TiとAlをこの順に、それぞれ80nm厚、380nm厚だけ積層したTi/Alなどの接触金属を基板裏に蒸着した後、急速過熱処理でp+ SiCと合金化させて形成する。

【0184】このIGBTの構造において、図29のMOSFETの構造と本質的に違っているのは、SiC基板241がp+ 基板であることと、基板裏面のコレクタ電極247の材料がp型基板にオーミック接触が得やすいTi/Alになっていること、この2点だけである。なお、エミッタ開口部243a、243b、エミッタ層244a、244b、エミッタ電極254a、254bなどはIGBTがバイポーラ・デバイスであることからここでは便宜的に命名しただけで、これらは図29のソース開口部233a、233b、ソース層224a、224b、ソース電極234a、234bと同じものである。

【0185】次に、本発明を適用したプレーナ型パワーIGBTの製造方法を説明する。図39～図42は、上記図38に示したIGBTの製造方法の工程を示す断面図であり、図39と図40は図38(a)の構造、図41と図42は図38(b)の構造の製造工程を示す断面図である。以下、共通の部分は纏めて説明する。

【0186】まず、図39(a1)および図41(b1)では、p+ SiC基板241に第1のn- エピタキシャル層222、p- ベース層223aおよび223b、223c、n+ エミッタ層244a、244b、第2のn- エピタキシャル層素片225、基板凹部236a、236b、236cを形成する。ここではSiC基板241の伝導型がp+ であることに注意を要する。そして第1、第2のn- エピタキシャル層の成長で形成されたp+ SiC基板241裏面の低品質のエピタキシャル層は前記第4の実施の形態で説明した手順で取り除く。なお、以下の説明において、特に断らない場合は、p+ SiC基板241にエピタキシャル層222やその他の膜や電極が形成されたものを基板と呼んでいる。

【0187】次に、前記第6の実施の形態の図30(a2)～図32(a7)、図34(b2)～図36(b7)で説明した工程と同じ製造工程を実施することにより、エミッタ開口部243a、243b上及びゲート電極結線開口部261の底面にのみ接触金属(Ni)405を残した基板構造が出来上がる。この状態を図39

61

(a7)と図41(b7)に示す。

【0188】次に、図39(a8)および図41(b8)では、基板を十分濯いで、乾燥させた後、表面全面に厚み1 $\mu$ m以上の保護用レジスト材(フォトレジストでよい)を塗布し、CF<sub>4</sub>とO<sub>2</sub>を用いたドライ・エッチングを行い、裏面側多結晶シリコン膜403を完全に除去する。ドライ・エッチング中に起きるおそれのあるプラズマダメージや帯電ならびに汚染から接触金属405とゲート絶縁膜230の劣化を防止するために、上記レジストによる表面保護工程は必ず必要である。次に、  
10 基板を緩衝フッ酸に浸してp<sup>+</sup>SiC基板241と多結晶シリコン膜403の間に形成されていた第2の一過性の熱酸化膜402を除去して、基板裏面に清浄なSiC結晶面を露出させる。その後、緩衝フッ酸溶液を超純水で完全に濯ぎ落して、乾燥させたところで、速やかに基板を高真空中に維持された蒸着装置の中に据え付け、裏面全面に所望の裏面接触金属407を蒸着する。この裏面接触金属407としては、たとえば、TiとAlをこの順に、それぞれ80nm厚、380nm厚だけ積層したTi/Al膜などがある。基板側面に電極材料が付着するおそれがある場合には、周辺部をシャドーマスクを使用して外縁部を隠蔽して蒸着を行う。

【0189】次に、図40(a9)および図42(b9)では、表面保護に使用したレジストを当該レジストの専用ストリッパ液で完全に剥離し、基板を十分濯いでから乾燥させ、直ちに急速加熱処理装置に設置して、高純度Ar雰囲気中で1000℃、2分間の急速加熱処理(コンタクト・アニール)を実施する。この熱処理によって、エミッタ開口部243a、243b、ゲート電極結線開口部261の接触金属(Ni膜)405はそれぞれn<sup>+</sup>エミッタ層とp<sup>-</sup>ベース層のSiCやn<sup>+</sup>多結晶シリコンと合金化し、極めて低抵抗を示すエミッタ電極254a、254b、ゲート電極接触254cを形成する。同時に、裏面の接触金属(Ti/Al膜)407はp<sup>+</sup>SiC基板241裏面と合金化し、極めて低抵抗を示すコレクタ電極247が形成される。このとき、同時に熱処理を受けるゲート絶縁膜230が、多結晶シリコンのゲート電極231と、第2のエピタキシャル層素片225と、第2のエピタキシャル層素片225の熱酸化膜(ゲート絶縁膜230のうちゲート領域外の部分、つまり実際のゲート絶縁膜に隣接する周囲部分及び下部絶縁膜227を指す)と、多結晶シリコンの熱酸化膜からなるゲート側面絶縁膜265と、で周囲を完全に被われた、耐熱・耐熱衝撃性の構造を確立している点に注目する必要がある。最後に、図40(a10)および図42(b10)では、コンタクト・アニールが済んだ基板を高真空中に維持されたマグネトロンスパッタリング装置に速やかに据え付け、基板の上部全面に所望の配線材料、たとえばAlを1 $\mu$ m厚に蒸着する。この後、Al膜を成膜した基板上面にフォトレジストを塗布し、露光し、  
40

62

現像して、エッチングのレジストマスクを形成した後、基板裏面に裏面電極保護用のフォトレジストを塗布して、このレジストを十分乾燥させてから、リン酸系のエッチング液を用いてAl膜をパターン化し、配線235と配線210を形成する。裏面のレジストはコレクタ電極247がリン酸系のエッチング液に溶出して、消失したり変質したりするのを防止する目的で形成されるが、このおそれがない場合やAl膜をRIE(ドライ)でエッチングするときには、省略することができる。最後にレジストマスクとドレイン電極保護に使用した保護レジストを専用ストリッパ液で完全に除去し、基板を十分濯いでから乾燥させる。こうして、図38に示した本発明に係るプレーナ型パワーIGBTが完成する。本第7の実施の形態においても、その基本構造が同じことから予想されるように、前記第4～第6の実施の形態と同様の効果が得られる。

【0190】(第8の実施の形態)前記第4から第7の実施の形態で説明したように、ゲート電極側面絶縁膜205および265は本発明において極めて重要な役割のひとつを演じている。前記各実施の形態ではいずれも、これを形成するのに、多結晶シリコンのゲート電極を単に熱酸化する方法を取ってきた。しかし、この方法ではゲート電極側面ばかりでなく上面も同時に酸化され、結果として、ゲート電極の厚みが減少することになるので、ゲート電極側面絶縁膜205および265の厚みを任意に厚くすることができないという制約がある。ゲート電極のドライ・エッチングの際に、ゲート絶縁膜の内部まで損傷や汚染が起きやすいエッチング装置を使わざるを得ない時は、この制約が問題として表面化する。第8の実施の形態は、このような制約のないゲート電極側面絶縁膜を提供しようとするものである。ここでは一例として、図22に示した第5の実施の形態のMOSキャパシタのゲート電極側面絶縁膜205を形成する工程を用いて説明することにするが、これに限ったわけではなく、図17、図29、図38の各素子のゲート電極側面絶縁膜205や265にも同じように適用できることを、説明を始める前に、断っておく。なお、本第8の実施の形態で出来るMOSキャパシタの構造は図22で説明した構造と全く同じであるから、構造の説明は省略する。  
40

【0191】次に、本発明を適用したMOSキャパシタの製造方法を説明する。図43と図44は上記図22のセルの製造方法の工程を示す断面図である。なお、工程(a)～(d)の部分は、前記第5の実施の形態の図23(a)～図24(d)で説明した工程と同じであり、上記の製造工程を実施することにより、フィールド開口部214にゲート絶縁膜203と、基板裏面に第2の一過性の熱酸化膜301が形成された基板構造ができあがる。この状態を図43(d)に示す。

【0192】次に、図43(e-1)では、直ちに基板



表裏全面にシラン原料を用いた減圧CVD法(成長温度600℃~700℃)で、厚み300~400nm多結晶シリコン膜を成膜した後、塩素酸リン( $\text{POCl}_3$ )と酸素を用いた周知の熱拡散法(処理温度900℃~950℃)で多結晶シリコン膜に不純物Pを縮退するまで添加し、導電性を付与する。つづいて、900℃のドライ酸素雰囲気中で熱酸化させて基板の表および裏の多結晶シリコンの表面に薄い多結晶シリコンの熱酸化膜を成長させた後、ジクロルシランとアンモニアを原料に用いた減圧CVD法で基板の表裏全面に150nm厚の窒化シリコン( $\text{Si}_3\text{N}_4$ )膜を成膜する。窒化シリコン膜の成膜温度は750℃~800℃である。減圧CVD法による窒化シリコンは一般に引っ張り応力が極めて強く、多結晶シリコン膜に直接形成したのでは、多結晶シリコン膜やその下のゲート絶縁膜に悪影響を与えるおそれがある。そのため、応力緩和層として、このように多結晶シリコンの熱酸化膜を間に挟むようにする。その後、基板上面にフォトレジストを塗布し、露光・現像して、これをマスクとして、 $\text{C}_2\text{F}_6$ と酸素を用いた反応性イオンエッチング(RIE)を行い、基板上面側の窒化シリコン膜と多結晶シリコン熱酸化膜、多結晶シリコン膜の不要な部分を取り除き、多結晶シリコンのゲート電極204を形成する。その後、RIEで使用したレジスト・マスクを基板から完全に除去する。なお、基板上面の206はゲート電極上面絶縁膜(上記多結晶シリコンの熱酸化膜)、406は上記減圧CVD法で形成した一過性の窒化シリコン膜である。また、基板裏面においては、302は一過性の多結晶シリコン膜、407はゲート電極上面絶縁膜206と同時に熱酸化で形成された一過性の多結晶シリコン熱酸化膜、408は406と同時に成膜された一過性の窒化シリコン膜である。

【0193】次に、図43(e-2)では、基板を十分洗浄し、乾燥させた後、900℃のドライ酸素雰囲気中で熱酸化させて多結晶シリコンのゲート電極204の側面に所望の厚み(たとえば200nm厚)のゲート電極側面絶縁膜205を成長させる。多結晶シリコンが酸素と化合して酸化物( $\text{SiO}_2$ )となったゲート電極側面絶縁膜205は膨張して、図のように、元のゲート電極204の上面に比べやや上に突起した構造になる。

【0194】ゲート電極側面絶縁膜205の形成の重要な目的のひとつは、第4の実施の形態で述べたように、ゲート電極をドライ・エッチングで形成したときイオン衝撃や金属汚染で劣化したゲート絶縁膜帯状領域の直上の多結晶シリコンを非導電性の酸化物( $\text{SiO}_2$ )、つまりゲート電極側面絶縁膜205に完全に転化させ、劣化領域にゲート電圧が正味、印加されないゲート電極外縁構造を確立することである。この目的を達成するためには、上記劣化したゲート絶縁膜帯状領域上部のゲート電極をすべて側面絶縁膜に変換することが必要である。しかし、第4~第7の実施の形態の製造工程で説明した

多結晶シリコンのゲート電極を単純に熱酸化する方法では、ゲート電極の熱酸化が上面と側面とで同時に進行するため、側面絶縁膜の厚みはせいぜい100nmと制限があり、上記劣化したゲート絶縁膜帯状領域がこれより厚い場合(ドライエッチング装置の性質によって決まる)には、ゲート電極側面絶縁膜の形成を十分行えないことがある。この点、本第8の実施の形態においては、多結晶シリコンのゲート電極204の上面は耐酸化性の高い一過性の窒化シリコン膜406で被覆されているので、熱酸化は気相に露出しているゲート電極204の側面だけで起き、ゲート電極204の上面が熱酸化されることはない。すなわち、本第8の実施の形態では、ゲート電極204の上面が熱酸化されることを考慮することなく、ゲート電極側面絶縁膜205の厚みを任意に設定できるという特徴を備えている。したがってゲート電極204の厚みを超えるゲート電極側面絶縁膜205を成長させることも可能である。なお、裏面の一過性の多結晶シリコン膜302も、一過性の窒化シリコン膜408で被覆されていることから明らかなように、上記ゲート電極204の上面と同様に熱酸化を免れる。

【0195】次に、図44(e-3)では、基板を緩衝フッ酸溶液に数秒浸漬し、一過性の窒化シリコン膜406と407の表面に、前工程のゲート電極の側面熱酸化で僅かに形成された窒化シリコン膜の熱酸化膜(非常に薄いので図43(e-2)には表示せず)を取り除き、超純水で十分濯いでから、こんどは熱濃りん酸に浸漬し、一過性の窒化シリコン膜406と407を除去し、その後、超純水で十分濯いでから乾燥する。この後は図24(f)~図25(i)を用いて説明したのと全く同様にして工程を進め、MOSキャパシタが完成する。

【0196】本第8の実施の形態においても、その基本構造が同じことから予想されるように、前記第4~第7の実施の形態と同様の効果が得られる。本第8の実施の形態で説明したゲート電極側面絶縁膜の形成工程図43(e-1)~図44(e-3)は、図17に示したMOSキャパシタ構造のゲート電極側面絶縁膜や図29に示したパワーMOSFETセル構造のゲート電極側面絶縁膜、図38に示したパワーIGBTセル構造のゲート電極側面絶縁膜の形成法としても適用できることは、言うまでもない。

【図面の簡単な説明】

【図1】本発明第1の実施の形態にかかるMOSキャパシタの要部断面図。

【図2】本発明第1の実施の形態にかかるMOSキャパシタの製造工程の一部を示す断面図。

【図3】本発明第1の実施の形態にかかるMOSキャパシタの製造工程の他の一部を示す断面図。

【図4】本発明第1の実施の形態に基づくMOSキャパシタの電流-電圧特性図。

【図5】本発明第1の実施の形態に基づくMOSキャパ

シタの高周波容量-DCバイアス電圧特性図。

【図6】本発明第2の実施の形態にかかるMOSFETの要部断面図。

【図7】本発明第2の実施の形態にかかるMOSFETの製造工程の一部を示す断面図。

【図8】本発明第2の実施の形態にかかるMOSFETの製造工程の他の一部を示す断面図。

【図9】本発明第2の実施の形態にかかるMOSFETの製造工程の他の一部を示す断面図。

【図10】本発明第2の実施の形態にかかるMOSFETの製造工程の他の一部を示す断面図。

【図11】本発明第3の実施の形態にかかるIGBTの要部断面図。

【図12】本発明第3の実施の形態にかかるIGBTの製造工程の一部を示す断面図。

【図13】本発明第3の実施の形態にかかるIGBTの製造工程の他の一部を示す断面図。

【図14】従来技術に基づくMOSキャパシタの電流-電圧特性図。

【図15】従来技術に基づくMOSキャパシタの高周波容量-DCバイアス電圧特性図。

【図16】従来技術に基づくMOSFETの要部断面図。

【図17】本発明第4の実施の形態にかかるMOSキャパシタの要部断面図。

【図18】本発明第4の実施の形態にかかるMOSキャパシタの製造工程の一部を示す断面図。

【図19】本発明第4の実施の形態にかかるMOSキャパシタの製造工程の他の一部を示す断面図。

【図20】本発明第4の実施の形態に基づくMOSキャパシタの電流-電圧特性図。

【図21】本発明第4の実施の形態に基づくMOSキャパシタの高周波容量-DCバイアス電圧特性図。

【図22】本発明第5の実施の形態に基づくMOSキャパシタの要部断面図。

【図23】本発明第5の実施の形態にかかるMOSキャパシタの製造工程の一部を示す断面図。

【図24】本発明第5の実施の形態にかかるMOSキャパシタの製造工程の他の一部を示す断面図。

【図25】本発明第5の実施の形態にかかるMOSキャパシタの製造工程の他の一部を示す断面図。

【図26】本発明第5の実施の形態に基づくMOSキャパシタの電流-電圧特性図。

【図27】本発明第5の実施の形態に基づくMOSキャパシタの高周波容量-DCバイアス電圧特性図。

【図28】本発明第6の実施の形態に基づくパワーMOSFETの要部断面図。

【図29】図28の要部断面図。

【図30】本発明第6の実施の形態にかかるパワーMOSFETの製造工程の一部を示す断面図。

【図31】本発明第6の実施の形態にかかるパワーMOSFETの製造工程の他の一部を示す断面図。

【図32】本発明第6の実施の形態にかかるパワーMOSFETの製造工程の他の一部を示す断面図。

【図33】本発明第6の実施の形態にかかるパワーMOSFETの製造工程の他の一部を示す断面図。

【図34】本発明第6の実施の形態にかかるパワーMOSFETの製造工程の他の一部を示す断面図。

【図35】本発明第6の実施の形態にかかるパワーMOSFETの製造工程の他の一部を示す断面図。

【図36】本発明第6の実施の形態にかかるパワーMOSFETの製造工程の他の一部を示す断面図。

【図37】本発明第6の実施の形態にかかるパワーMOSFETの製造工程の他の一部を示す断面図。

【図38】本発明第7の実施の形態にかかるプレーナ型パワーIGBTの要部断面図。

【図39】本発明第7の実施の形態にかかるプレーナ型パワーIGBTの製造工程の一部を示す断面図。

【図40】本発明第7の実施の形態にかかるプレーナ型パワーIGBTの製造工程の他の一部を示す断面図。

【図41】本発明第7の実施の形態にかかるプレーナ型パワーIGBTの製造工程の他の一部を示す断面図。

【図42】本発明第7の実施の形態にかかるプレーナ型パワーIGBTの製造工程の他の一部を示す断面図。

【図43】本発明第8の実施の形態にかかるMOSキャパシタの製造工程の一部を示す断面図。

【図44】本発明第8の実施の形態にかかるMOSキャパシタの製造工程の他の一部を示す断面図。

【符号の説明】

1...SiC基板	2...エヒタキシャル層
3...フィールド絶縁膜	4...下部絶縁膜
5...上部絶縁膜	6...ゲート開口部
7...ゲート絶縁膜	8...ゲート電極
9...層間絶縁膜	10...裏面電極
11...ゲート電極結線開口部	12...配線
21...n <sup>+</sup> 型SiC基板のn <sup>-</sup> エヒタキシャル層	22...第1
23a、23b...p <sup>-</sup> ベース領域	24a、2
4b...n <sup>+</sup> ソース領域	
25...第2のn <sup>-</sup> エヒタキシャル層素片	26...フィールド絶縁膜
27...下部絶縁膜	28...上部絶縁膜
29...ゲート開口部	30...ゲート絶縁膜
31...ゲート電極	32...層間絶



67

緑膜

33a、33b…ソース開口部  
b…ソース電極36a、36b…凹部  
ン電極41…p<sup>+</sup> SiC基板

3b…エミッタ開口部

44a、44b…エミッタ層  
タ電極

34a、34

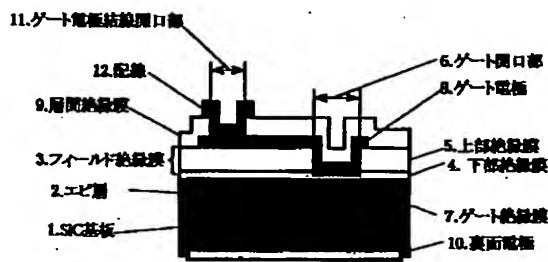
37…ドレイ

43a、4

47…コレク

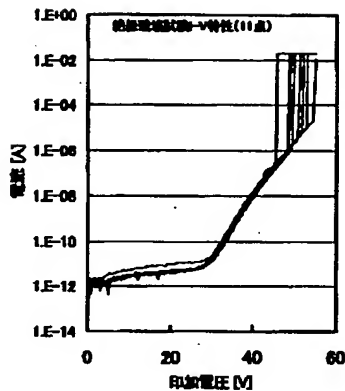
【図1】

(図1)

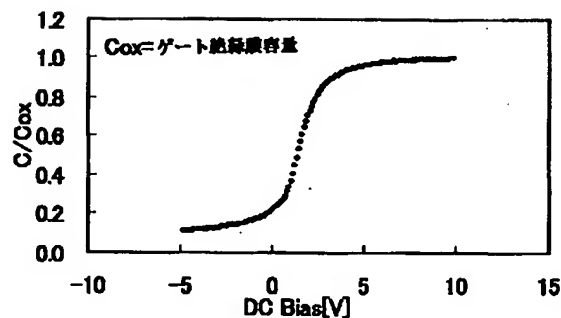


【図4】

(図4)



(図5)



68

54a、54b…エミッタ電極

201…単結晶炭化珪素基板

ピタキシャル層

203…ゲート絶縁膜

電極

205…ゲート電極側面絶縁膜  
電極上面絶縁膜

207…層間絶縁膜

電極

202…n-エ

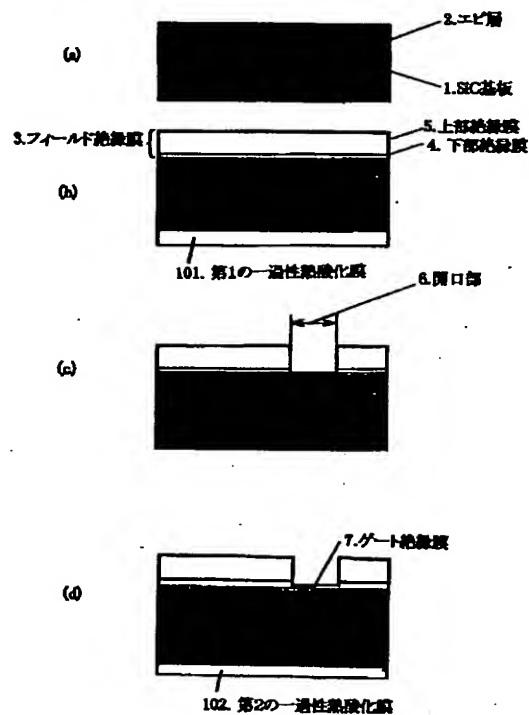
204…ゲート

206…ゲート

208…裏面電

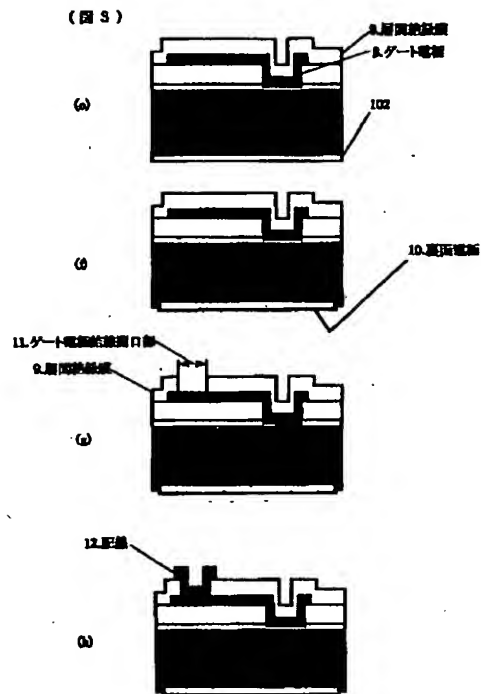
【図2】

(図2)

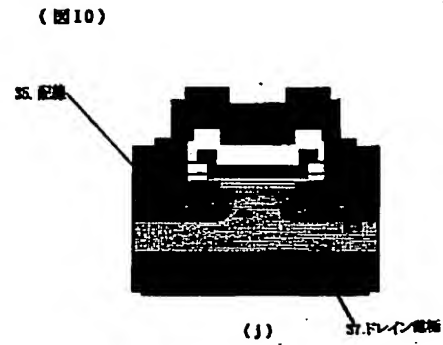


【図5】

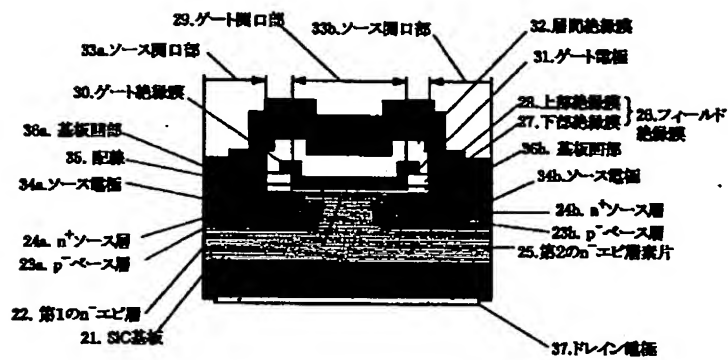
【図3】



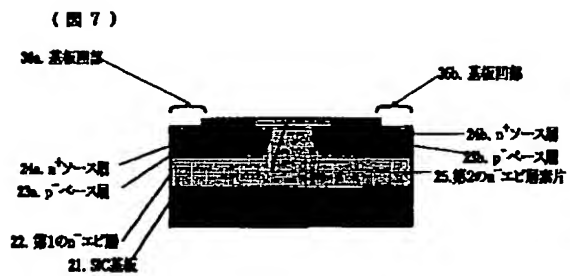
【図10】



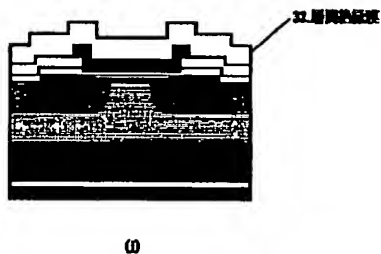
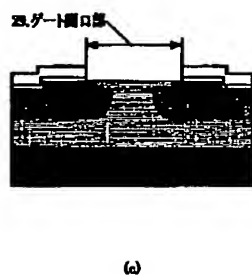
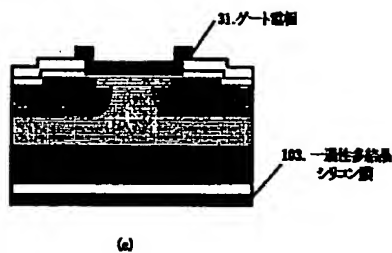
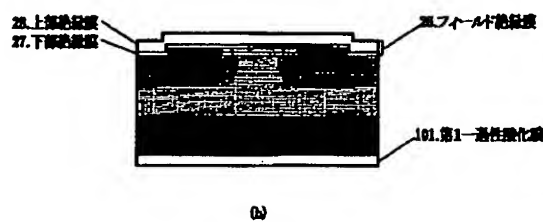
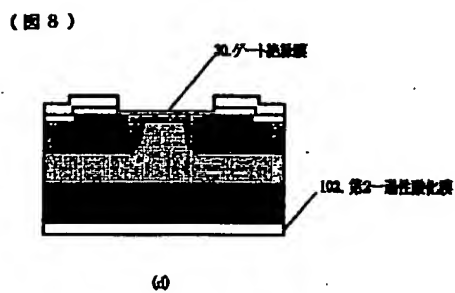
【図6】



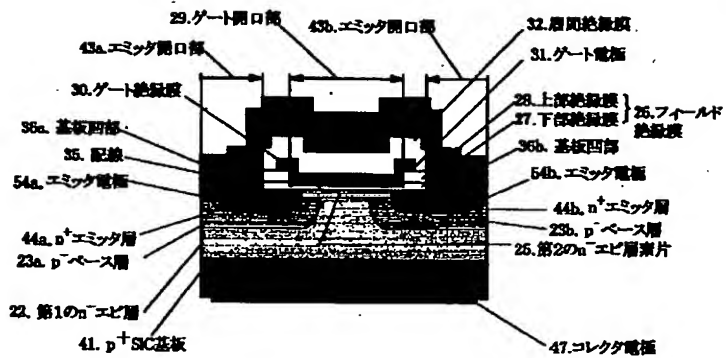
【図7】



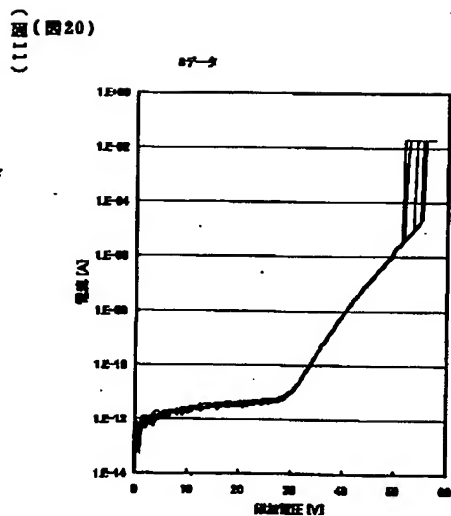
【图8】



【图 1 1】

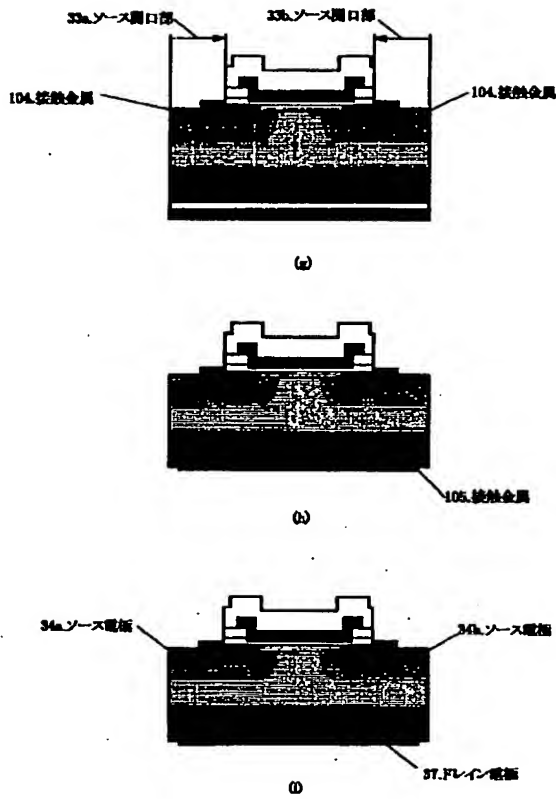


【図20】



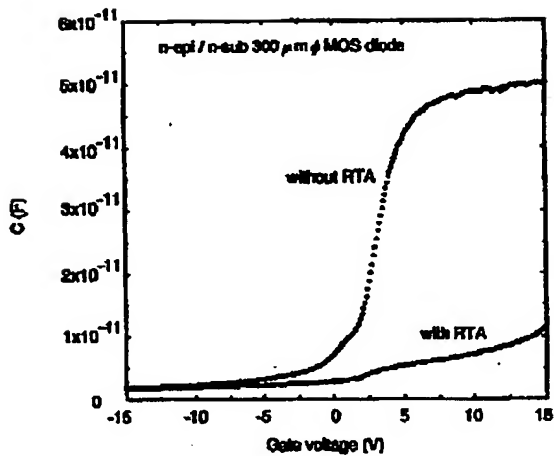
【図9】

(図9)



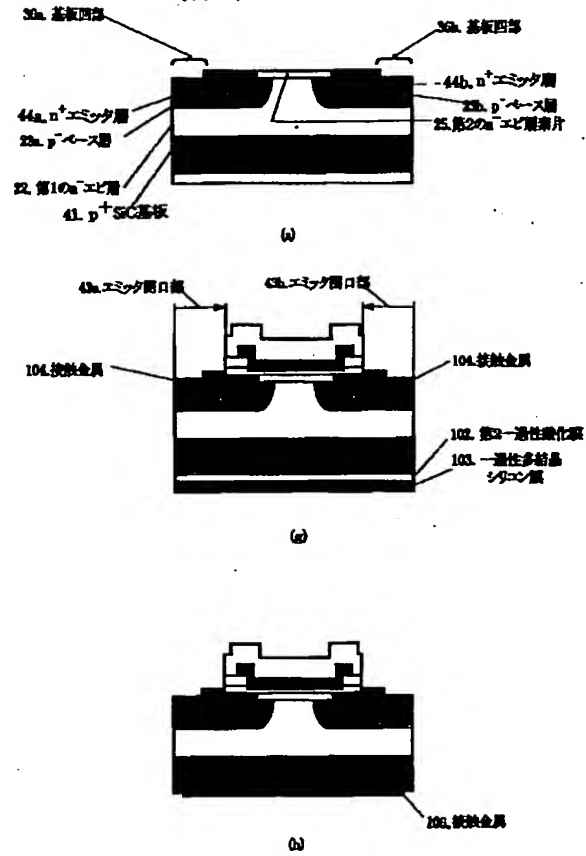
【図15】

(図15)



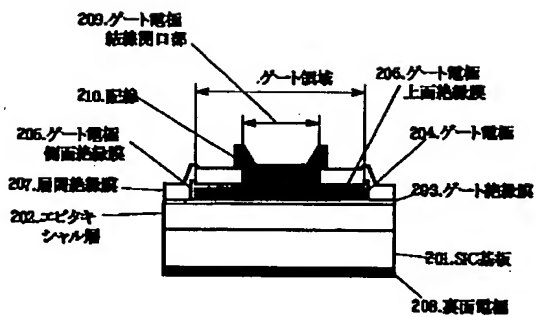
【図12】

(図12)



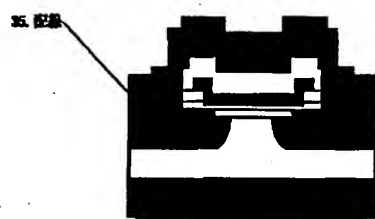
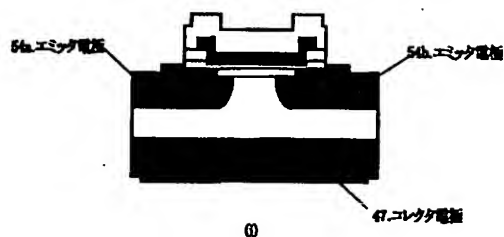
【図17】

(図17)



【図13】

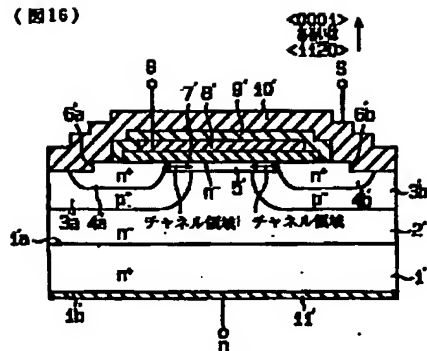
(図13)



(1)

【図16】

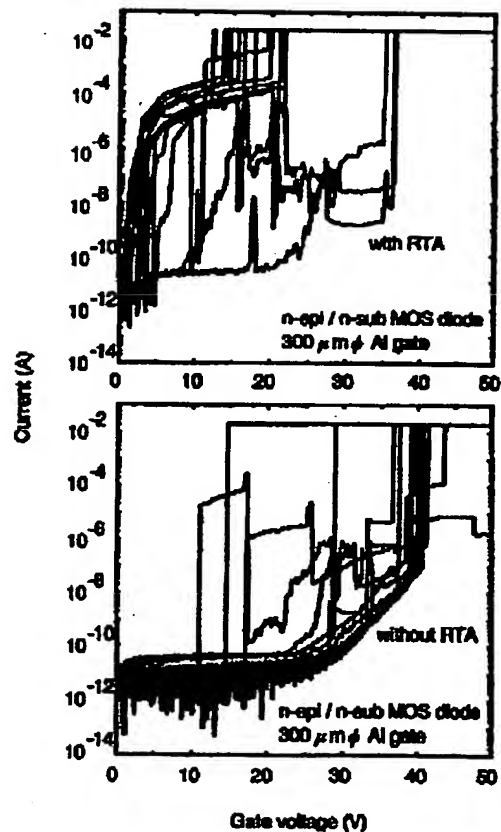
(図16)



- 1'...n+型炭化硅素半導体基板  
2'...n+型炭化硅素エピ層  
3'a, 3'b...p-型炭化硅素ベース領域  
4'a, 4'b...n+型ソース領域  
5'...表面チャネルエピ層  
6'a, 6'b...凹部  
7'...ゲート絶縁膜  
8'...ポリシリコンゲート電極  
9'...絶縁膜  
10'...ソース電極  
11'...ドレイン電極

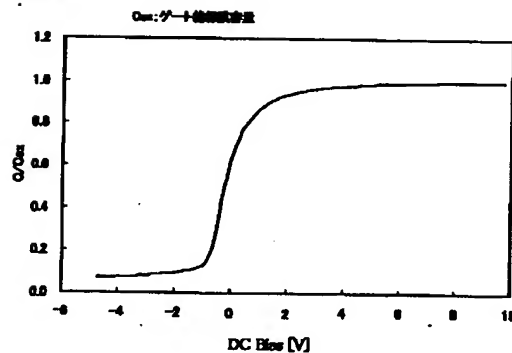
【図14】

(図14)



【図21】

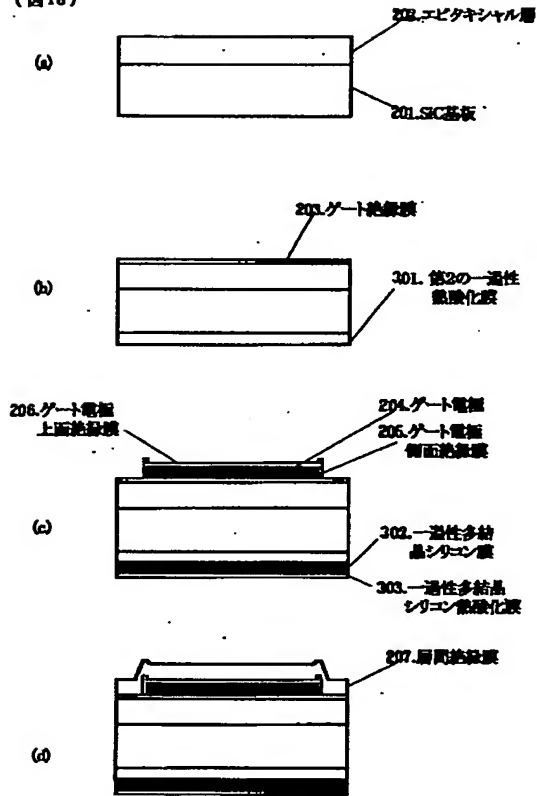
(図21)





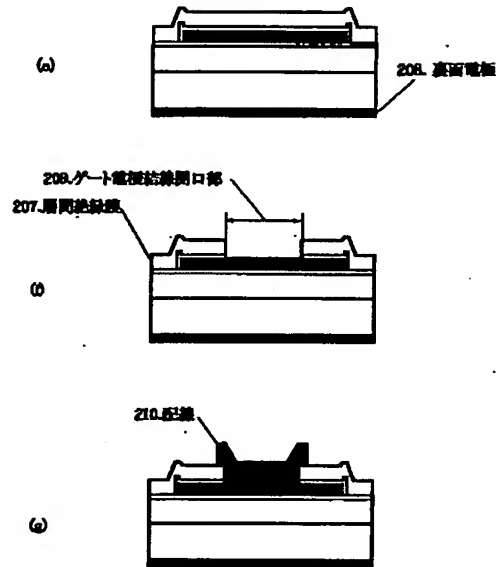
【図18】

(図18)



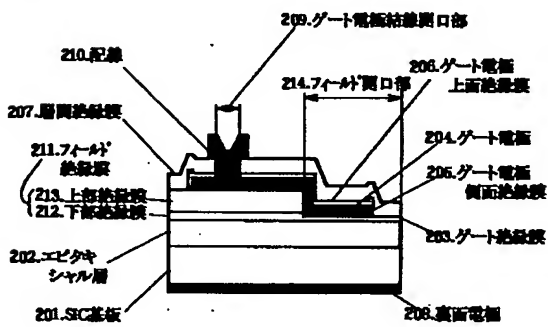
【図19】

(図19)



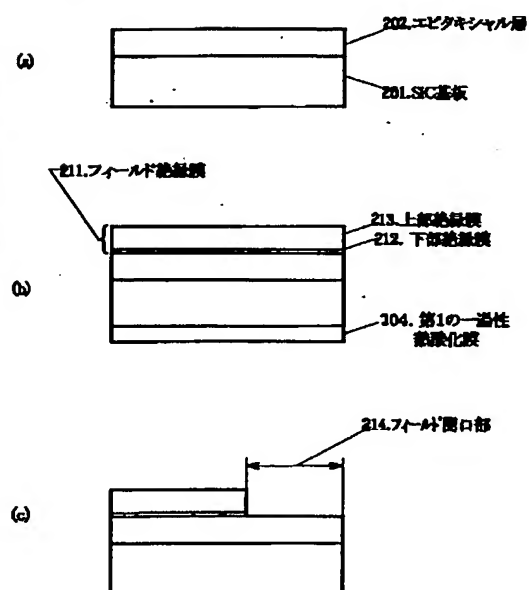
【図22】

(図22)



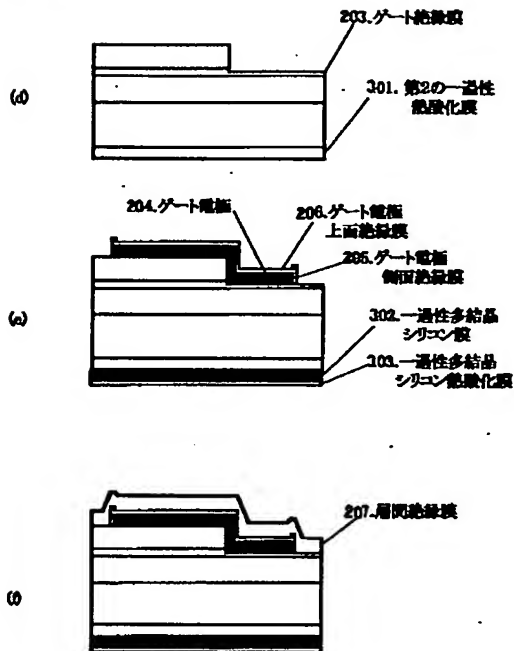
【図23】

(図23)



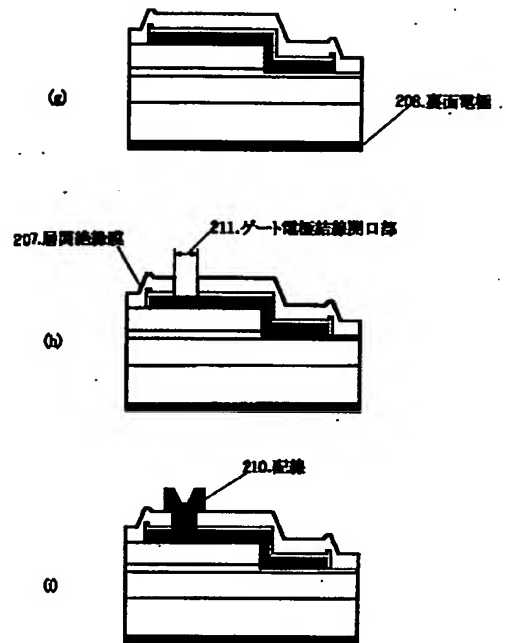
【図24】

(図24)



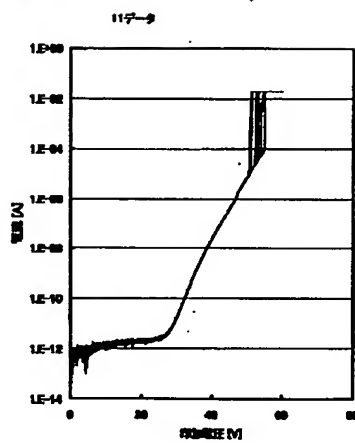
【図25】

(図25)



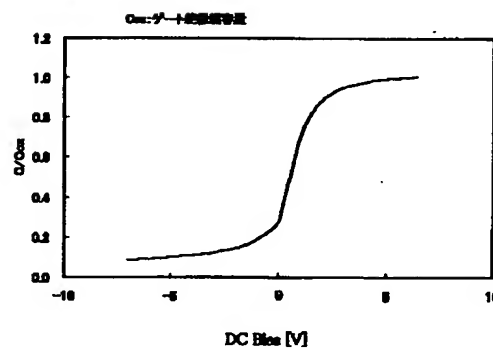
【図26】

(図26)

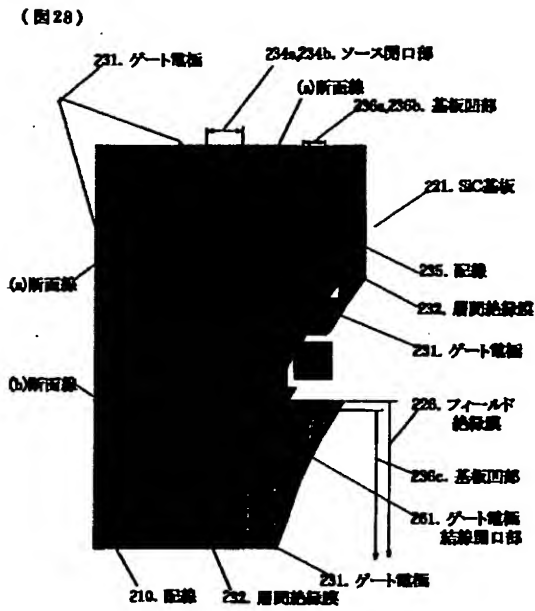


【図27】

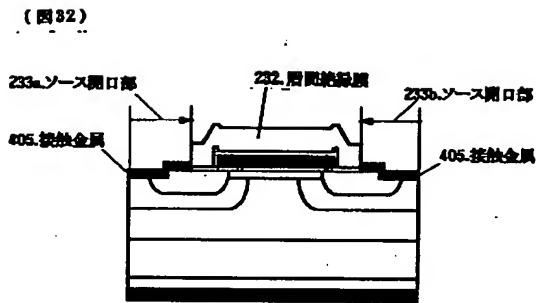
(図27)



【図28】



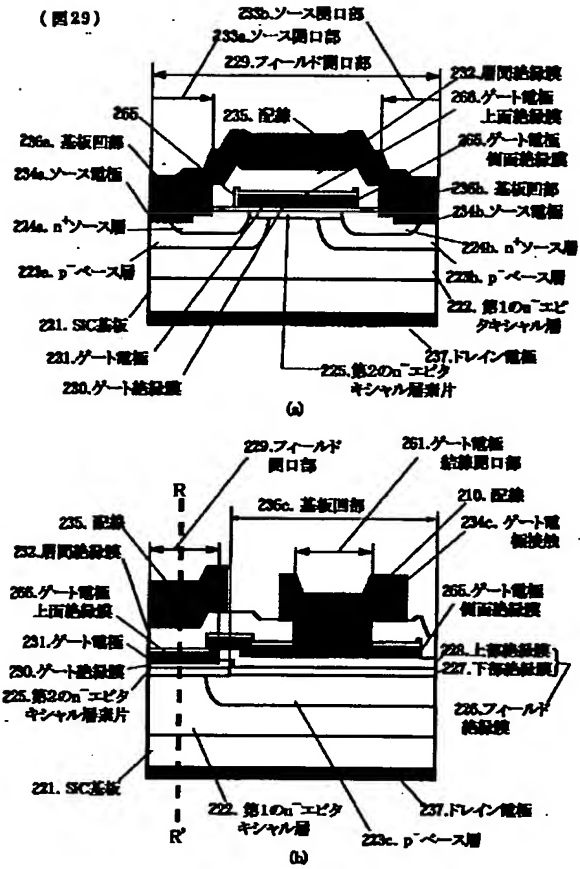
【図32】



(a)

(b)

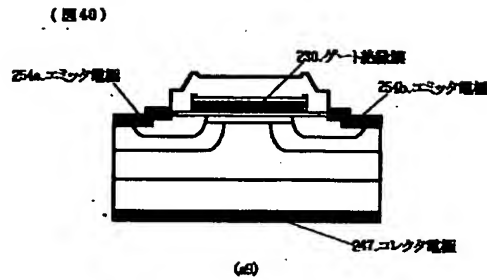
【図29】



(a)

(b)

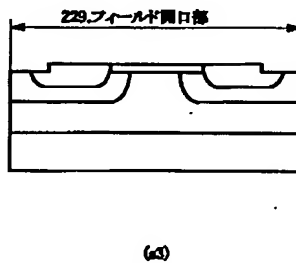
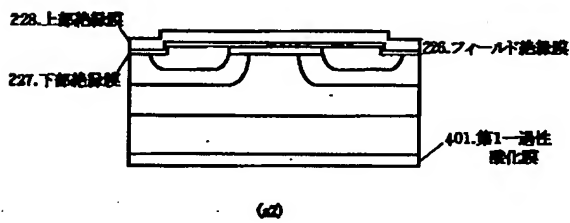
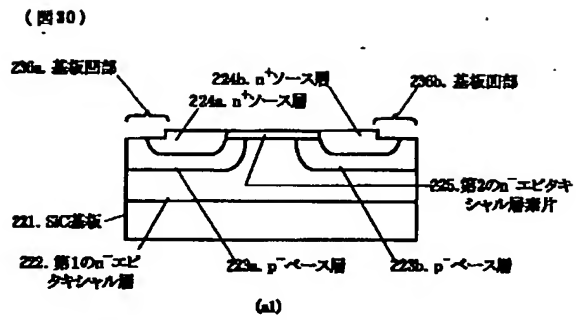
【図40】



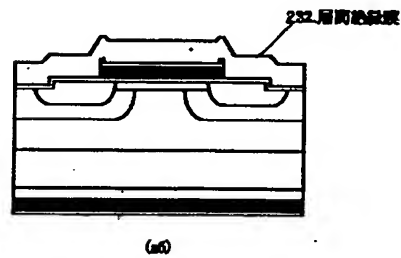
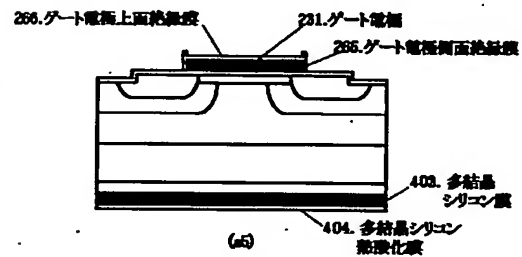
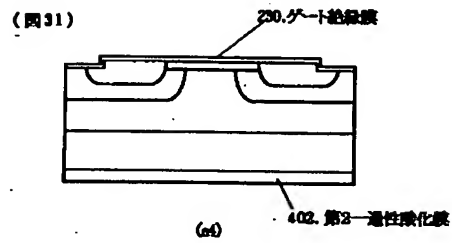
(a)

(b)

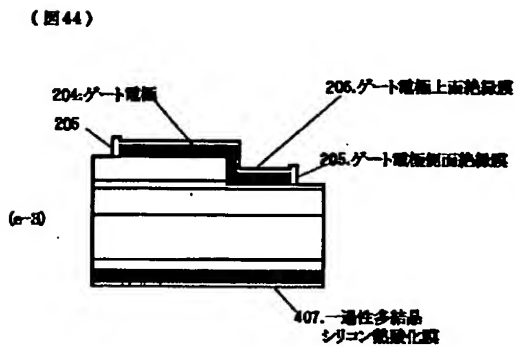
【図30】



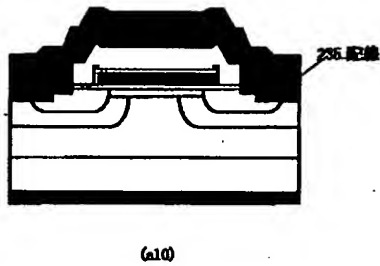
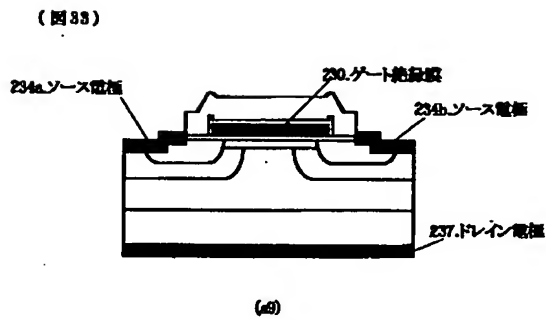
【図3 1】



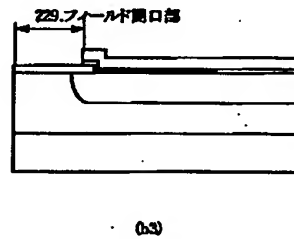
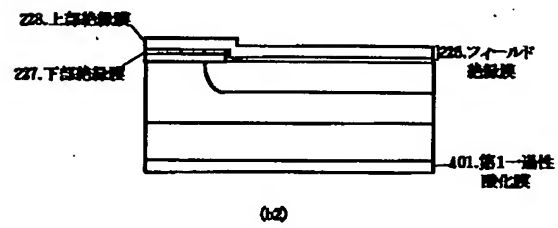
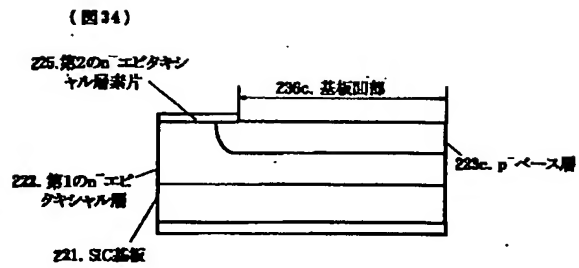
【例44】



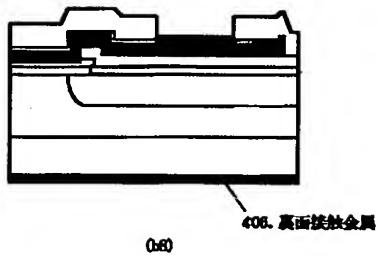
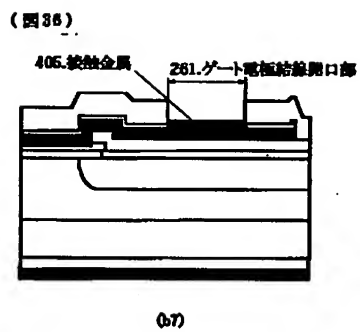
【図33】



【図34】



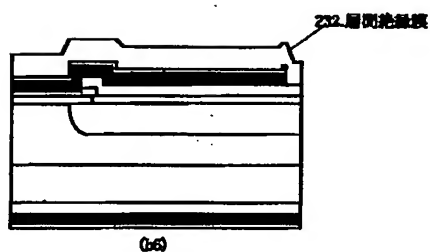
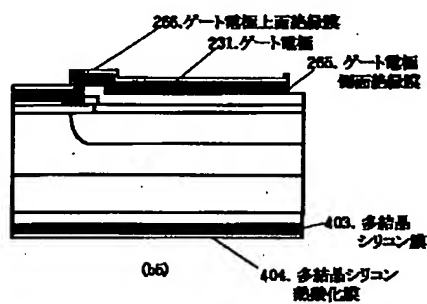
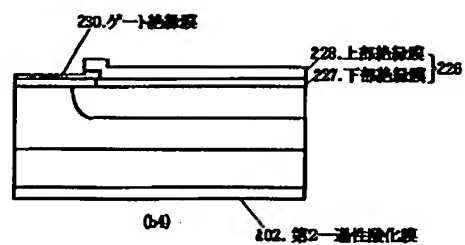
【図36】





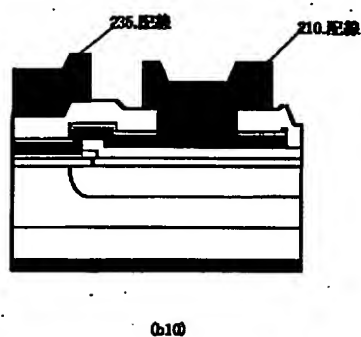
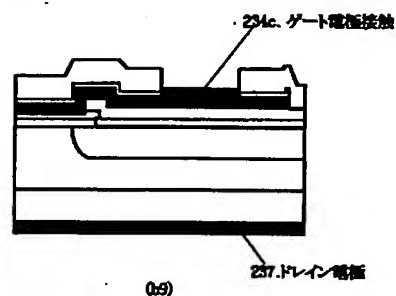
【図35】

(図35)



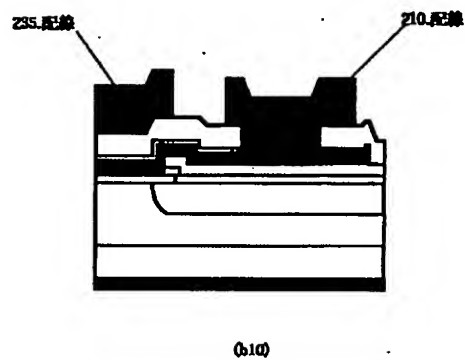
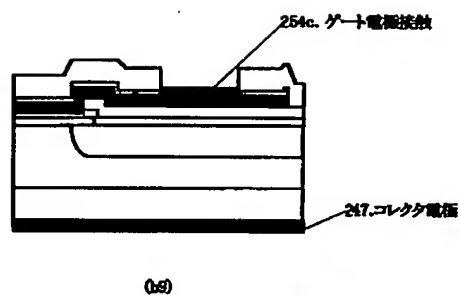
【図37】

(図37)



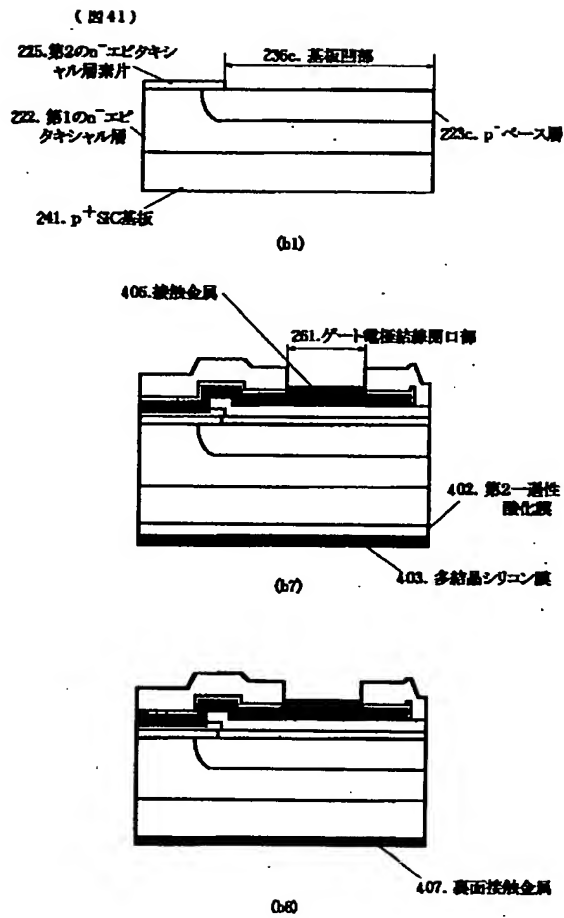
【図42】

(図42)

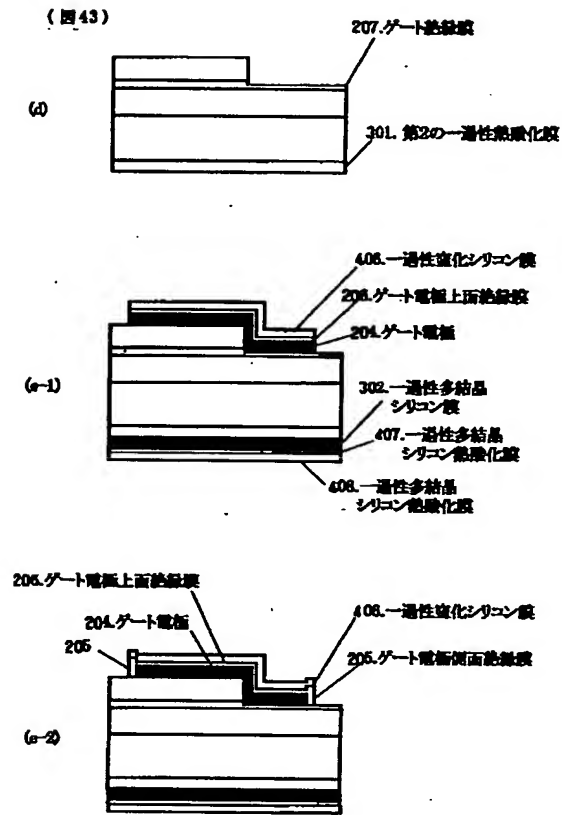




【図41】



【図43】



フロントページの続き

(72)発明者 大串 秀世  
茨城県つくば市東1-1-1 独立行政法  
人産業技術総合研究所 つくばセンター内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**